



#6

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Miki ARITA et al.

Serial No.: 09/866,928

Group Art Unit: Unassigned

Filed: May 30, 2001

Examiner: Unassigned

For: MOTION VECTOR DETECTION APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2000-160829, filed May 30, 2000.

In support of this claim, a certified copy of said original foreign application is filed herewith.


It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

September 28, 2001
Date

RWP/mhs
Attorney Docket No. HYAE:118


Roger W. Parkhurst
Registration No. 25,177

PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月30日

出 願 番 号

Application Number:

特願2000-160829

出 願 人

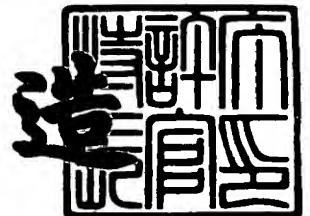
Applicant(s):

松下電器産業株式会社

2001年 5月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3045395

【書類名】 特許願

【整理番号】 2037920003

【提出日】 平成12年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/137

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 有田 満希

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 九郎丸 俊一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6380)5822

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

特2000-160829

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 動きベクトル検出装置

【特許請求の範囲】

【請求項 1】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部より出力されたデータ、及び第 2 の記憶部より出力されたデータを用いて動きベクトルを検出する動きベクトル検出部とを具備し、

前記第 2 のアドレス生成部は、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とする動きベクトル検出装置。

【請求項 2】 請求項 1 に記載の動きベクトル検出装置において、

前記第 2 のアドレス生成部は、横方向の画素アドレスをカウントするロウカウンタと、

縦方向のアドレスをカウントするカラムカウンタと、

画素データのアドレスを保持するアドレス保持部とを有し、

前記カラムカウンタのカウント値の L S B（最下位ビット）の反転値を画素データのアドレスに加算することにより、前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリング

リングすることを特徴とする動きベクトル検出装置。

【請求項 3】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータを用いて動きベクトルを検出する動きベクトル検出部とを具備し、

前記動きベクトル検出部は、参照ブロックの画素データと処理対象ブロックの画素データとの差分の絶対値を閾値から順次減算し、減算結果が負になった時点で、その位置における絶対差分誤差和の計算を中止することを特徴とする動きベクトル検出装置。

【請求項 4】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータを用いて動きベクトルを検出する動きベクトル検出部と、

既に探索が行われた参照領域データ内の参照ブロックの探索履歴を保持する探索履歴保持部とを具備し、

前記探索履歴保持部により保持された探索履歴が存在する参照ブロックに対しては、探索実行をスキップすることを特徴とする動きベクトル検出装置。

【請求項 5】 請求項 4 に記載の動きベクトル検出装置において、

前記探索履歴保持部は、探索対象の位置、及びその周辺位置 8 ヶ所の参照ブロックに対する探索の有無を探索履歴として保持していることを特徴とする動きベクトル検出装置。

【請求項 6】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータを用いて動きベクトルを検出する動きベクトル検出部と、

前記第 1 のアドレス生成部が前記第 1 の記憶部に出力する参照領域データのアドレスを生成するためのルールである転送ルールを保持する転送ルール保持部と

画像データの有効領域を示す領域判定コードに基づいて、前記転送ルール保持部から前記転送ルールを検出し、前記第 1 のアドレス生成部に出力する転送ルール検出部とを具備し、

前記第 1 のアドレス生成部は、前記転送ルール検出部から出力された前記転送ルールに基づいて、前記第 1 の記憶部に出力する参照領域データのアドレスを生成することを特徴とする動きベクトル検出装置。

【請求項 7】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

データの読み込み、読み出しを同時に行うダブルバッファ構成をしているメモリであって、前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータから動きベクトルを検出する動きベクトル検出部と、

前記第 1 の記憶部に対する参照領域データの読み込み、及び読み出しを制御する記憶データ制御部とを具備し、

前記記憶データ制御部は、前記第 1 の記憶部が保持する 2 つのバッファメモリの内、データの読み込みが行われる一のバッファメモリに対して、読み出しが完了した他の一のバッファメモリから有効なデータを一部コピーし、前記第 1 の記憶部に新たに書き込むデータ量を削減することを特徴とする動きベクトル検出装置。

【請求項 8】 請求項 1 乃至請求項 7 のいずれかに記載の動きベクトル検出

とを特徴とするものである。

【0030】

また、本発明の請求項12に記載の動きベクトル検出装置は、請求項11に記載の動きベクトル検出装置において、前記読み出し方向決定部は、第1の記憶部に記憶された画像データに対して水平、もしくは垂直方向にデータを読み出す旨の決定を行うことを特徴とするものである。

【0031】

また、本発明の請求項13に記載の動きベクトル検出装置は、請求項11、または請求項12に記載の動きベクトル検出装置において、前記補間画素生成部は、少なくとも、2個のシフトレジスタからなるシフトレジスタ群と、前記シフトレジスタ群が保持する画素データを用いて補間処理を行う補間処理部とを有することを特徴とするものである。

【0032】

また、本発明の請求項14に記載の動きベクトル検出装置は、請求項11、または請求項12に記載の動きベクトル検出装置において、前記補間画素生成部は、少なくとも、(特定方向に読み出す画素数+2)個のシフトレジスタからなるシフトレジスタ群と、前記シフトレジスタ群が保持する画素データを用いて補間処理を行う補間処理部とを有することを特徴とするものである。

【0033】

また、本発明の請求項15に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、前記第1の記憶部からの出力データを入力とし、少数精度画素のデータを生成する

補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第2の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備し、前記少数精度動きベクトル検出部が、前記補間画素生成部から出力された複数の画素データにより構成される上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、または右斜め下と左斜め下の何れかに位置する少数精度の参照ブロックに対して少数精度の動きベクトルの検出を並列に実行することを特徴とするものである。

【 0 0 3 4 】

また、本発明の請求項16に記載の動きベクトル検出装置は、請求項11乃至請求項15のいずれかに記載の動きベクトル検出装置において、さらに、前記第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部を具備することを特徴とするものである。

【 0 0 3 5 】

また、本発明の請求項17に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、前記第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部と、探索を行うことができる位置か否を判断するための条件である探索可否条件を保持する探索可否条件保持部と、前記参照領域データの有効領域を示す領域判定コードの基づいて、前記探索可否条件保持部から探索可否条件を検出し、前記第2のアドレス生成部へ出力する探索可否条件検出部とを具備し、前記第2のアドレス生成

部は、前記探索可否条件検出部により検出された探索可否条件を用いて、前記第 1 の記憶部から出力するデータのアドレスを生成することを特徴とするものである。

【 0 0 3 6 】

また、本発明の請求項 1 8 に記載の動きベクトル検出装置は、請求項 1 7 に記載の動きベクトル検出装置において、さらに、前記第 1 の記憶手段からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第 2 の記憶手段から出力されたデータから、少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備し、前記第 2 のアドレス生成部は、前記探索可否条件保持部と、前記探索可否条件検出部とを整数精度動きベクトル検出時、及び少数精度動きベクトル検出時に、併用して用いることを特徴とするものである。

【 0 0 3 7 】

また、本発明の請求項 1 9 に記載の動きベクトル検出装置は、請求項 1 7 に記載の動きベクトル検出装置において、さらに、前記第 1 の記憶手段からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第 2 の記憶手段から出力されたデータから、少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備し、前記第 2 のアドレス生成部は、整数精度動きベクトル検出時に前記探索可否条件保持部と、前記探索可否条件検出部とを用いて、探索の可否を判断すると共に、当該探索可否結果を用いて少数精度動きベクトル検出時の探索の可否を判断することを特徴とするものである。

【 0 0 3 8 】

また、本発明の請求項 2 0 に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、前記第 1 のアドレス生成部により指示された参照領域データを

保持する第 1 の記憶部と、前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出部と、前回の動きベクトル探索で検出された動きベクトルを保持するとともに、前記整数精度動きベクトル検出部により算出された絶対差分誤差値と特定の閾値とを比較することにより、動きベクトル探索の実行の可否を決定する探索実行可否決定部とを具備し、前記第 2 のアドレス生成手段は、前記探索実行可否決定部が保持する前回の動きベクトル探索で検出された動きベクトルを用いて、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成することを特徴とするものである。

【 0 0 3 9 】

また、本発明の請求項 2 1 に記載の動きベクトル検出装置は、請求項 2 0 記載の動きベクトル検出装置において、前記第 2 のアドレス生成部は、さらに、前記第 1 の記憶手段より出力されたデータを本装置の演算結果として出力することを特徴とするものである。

【 0 0 4 0 】

また、本発明の請求項 2 2 に記載の動きベクトル検出装置は、請求項 2 0、又は請求項 2 1 に記載の動きベクトル検出装置において、さらに、前記第 1 の記憶部からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第 2 の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備することを特徴とするものである。

【 0 0 4 1 】

また、本発明の請求項 2 3 に記載の動きベクトル検出装置は、請求項 1 乃至請求項 2 2 のいずれかに記載の動きベクトル検出装置の少なくとも 2 つ以上の組み合わせであることを特徴とするものである。

【 0 0 4 2 】

また、本発明の請求項 2 4 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップとを有し、前記第 2 のアドレス生成ステップは、前記参照領域データ、及び前記処理対象ブロックのデータから出力するデータのアドレスを前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とするものである。

【 0 0 4 3 】

また、本発明の請求項 2 5 に記載の動きベクトル検出方法は、請求項 2 4 に記載の動きベクトル検出方法において、前記第 2 のアドレス生成ステップは、横方向の画素アドレスをカウントする第 1 のカウントステップと、縦方向のアドレスをカウントする第 2 のカウントステップと、画素データのアドレスを保持するアドレス保持ステップとを有し、前記第 2 のカウントステップのカウント値の L S B（最下位ビット）の反転値を画素データのアドレスに加算することにより、前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とするものである。

【 0 0 4 4 】

また、本発明の請求項 2 6 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、前記第1のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第2の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第2のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップとを有し、前記動きベクトル検出ステップは、参照ブロックの画素データと処理対象ブロックの画素データとの差分の絶対値を閾値から順次減算し、減算結果が負になった時点で、その位置における絶対差分誤差和の計算を中止することを特徴とするものである。

【 0 0 4 5 】

また、本発明の請求項27に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、前記第1のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第2の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第2のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップと、既に探索が行われた参照領域データ内の参照ブロックの探索履歴を保持する探索履歴保持ステップとを有し、前記探索履歴保持ステップにより保持された探索履歴が存在する参照ブロックに対しては、探索実行をスキップすることを特徴とするものである。

【 0 0 4 6 】

また、本発明の請求項28に記載の動きベクトル検出方法は、請求項27に記

載の動きベクトル検出方法において、前記探索履歴保持ステップは、探索対象の位置、及びその周辺位置 8 ヶ所の参照ブロックに対する探索の有無を探索履歴として保持していることを特徴とするものである。

【 0 0 4 7 】

また、本発明の請求項 2 9 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップと、前記第 1 のアドレス生成ステップが参照領域データのアドレスを生成するためのルールである転送ルールを保持する転送ルール保持ステップと、画像データの有効領域を示す領域判定コードに基づいて、前記転送ルール保持ステップから前記転送ルールを検出し、前記第 1 のアドレス生成ステップに出力する転送ルール検出ステップとを有し、前記第 1 のアドレス生成ステップは、前記転送ルール検出ステップにより検出された前記転送ルールに基づいて、参照領域データのアドレスを生成することを特徴とするものである。

【 0 0 4 8 】

また、本発明の請求項 3 0 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、データの読み込み、読み出しを同時に行うダブルバッフ

ァ構成をしているメモリを用いて、前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップとを有し、前記第 1 の記憶ステップの参照領域データの読み込み、及び読み出しを制御する記憶データ制御ステップとを具備し、前記記憶データ制御ステップは、前記第 1 の記憶ステップが用いる 2 つのバッファメモリの内、データの読み込みが行われる一のバッファメモリに対して、読み出しが完了した他の一のバッファメモリから有効なデータを一部コピーし、前記第 1 の記憶ステップに新たに書き込むデータ量を削減することを特徴とするものである。

【 0 0 4 9 】

また、本発明の請求項 3 1 に記載の動きベクトル検出方法は、請求項 2 4 乃至請求項 3 0 のいずれかに記載の動きベクトル検出方法において、前記動きベクトル検出ステップは、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップであることを特徴とするものである。

【 0 0 5 0 】

また、本発明の請求項 3 2 に記載の動きベクトル検出方法は、請求項 2 4 乃至請求項 3 0 のいずれかに記載の動きベクトル検出方法において、前記動きベクトル検出ステップは、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとからなることを特徴とするものである。

【 0 0 5 1 】

また、本発明の請求項 3 3 に記載の動きベクトル検出方法は、請求項 2 4 乃至

請求項 3 0 のいずれかに記載の動きベクトル検出方法において、前記動きベクトル検出ステップは、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップと、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとからなることを特徴とするものである。

【 0 0 5 2 】

また、本発明の請求項 3 4 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップと、前記第 1 の記憶ステップにより保持された参照領域データの読み出し方向決定し、前記第 2 のアドレス生成ステップに出力する読み出し方向決定ステップとを有し、前記第 2 のアドレス生成ステップは、前記読み出し方向決定ステップにより決定された読み出し方向に基づいて、前記参照領域データから出力する画素データのアドレスを生成することを特徴とするものである。

【 0 0 5 3 】

また、本発明の請求項 3 5 に記載の動きベクトル検出方法は、請求項 3 4 に記

載の動きベクトル検出方法において、前記読み出し方向決定ステップは、第 1 の記憶ステップが保持する画像データに対して水平、もしくは垂直方向にデータを読み出す旨の決定を行うことを特徴とするものである。

【 0 0 5 4 】

また、本発明の請求項 3 6 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有し、前記少数精度動きベクトル検出ステップが、前記補間画素生成ステップから出力された複数の画素データにより構成される上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、または右斜め下と左斜め下の何れかに位置する少数精度の参照ブロックに対して少数精度の動きベクトルの検出を並列に実行することを特徴とするものである。

【 0 0 5 5 】

また、本発明の請求項 3 7 に記載の動きベクトル検出方法は、請求項 3 4 乃至請求項 3 6 のいずれかに記載の動きベクトル検出方法において、さらに、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップを有するものである。

【 0 0 5 6 】

また、本発明の請求項 3 8 に記載の動きベクトル検出方法は、現画像内の複数

の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、前記第1のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第2の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第2のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップと、探索を行うことができる位置か否を判断するための条件である探索可否条件を保持する探索可否条件保持ステップと、前記参照領域データの有効領域を示す領域判定コードの基づいて、前記探索可否条件保持ステップから探索可否条件を検出し、前記第2のアドレス生成ステップに出力する探索可否条件検出ステップとを具備し、前記第2のアドレス生成ステップは、前記探索可否条件検出ステップにより検出された探索可否条件を用いて、前記参照領域データから出力する画素データのアドレスを生成することを特徴とするものである。

【 0 0 5 7 】

また、本発明の請求項39に記載の動きベクトル検出方法は、請求項38に記載の動きベクトル検出方法において、さらに、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと

【 0 0 5 8 】

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有し、前記第2のアドレス生成ステップは、前記探索可否条件保持ステップと、前記探索可否条件検出ステップとを整数精度動きベクトル検出時、及び少数精度動きベクトル検出時に、併用して用いることを特徴とするものである。

【 0 0 5 9 】

また、本発明の請求項 4 0 に記載の動きベクトル検出方法は、請求項 3 8 に記載の動きベクトル検出方法において、さらに、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有し、前記第 2 のアドレス生成ステップは、整数精度動きベクトル検出時に前記探索可否条件保持ステップと、前記探索可否条件検出ステップとを用いて、探索の可否を判断すると共に、当該探索可否結果を用いて少数精度動きベクトル検出時の探索の可否を判断することを特徴とするものである。

【 0 0 6 0 】

また、本発明の請求項 4 1 に記載の動きベクトル検出方法は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップと、前回の動きベクトル探索で検出された動きベクトルを保持するとともに、前記整数精度動きベクトル検出ステップにより算出された絶対差分誤差値と特定の閾値とを比較することにより、動きベクトル探索の実行の可否を決定する探索実行可否決定ステップを具備し、前記第 2 のアドレス生成ステップは、前記探索実行可否決定ステップが保持する前回の動きベクトル探索で検出された動きベクトルを用いて、前記参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成することを

特徴とするものである。

【0061】

また、本発明の請求項42に記載の動きベクトル検出方法は、請求項41記載の動きベクトル検出方法において、前記第2のアドレス生成ステップは、さらに、前記第1の記憶ステップにより保持された参照領域データから出力されたデータを演算結果として出力することを特徴とするものである。

【0062】

また、本発明の請求項43に記載の動きベクトル検出方法は、請求項41、又は請求項42に記載の動きベクトル検出方法において、さらに、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有することを特徴とするものである。

【0063】

また、本発明の請求項44に記載の動きベクトル検出方法は、請求項24乃至請求項43のいずれかに記載の動きベクトル検出方法の少なくとも2つ以上の組み合わせであることを特徴とするものである。

【0064】

【発明の実施の形態】

(実施の形態1)

以下に、本発明の実施の形態1による動きベクトル検出装置について、図1から図4を用いて説明する。

図1は、本発明の実施の形態1による動きベクトル検出装置の構成を示すブロック図である。図1において、動きベクトル検出装置は、データ保持部101と、第1のアドレス生成部102と、第1の記憶部103と、第2の記憶部104と、第2のアドレス生成部105と、整数精度動きベクトル検出部106とからなる。

【0065】

データ保持部101は、画像データを保持する大容量メモリであり、第1のア

ドレス生成部の指示に従い、参照領域のデータを第1の記憶部に、処理対象ブロックのデータを第2の記憶部に出力する。

【0066】

第1のアドレス生成部102は、データ保持部101内に保持されている画像データより、符号化対象となるデータである処理対象ブロックのデータ、及び処理対象ブロックとブロックマッチングを行なう参照ブロックの探索を行う領域である参照領域データのアドレスを生成する。

【0067】

なお、以下に説明する本発明の動きベクトル検出装置において、処理対象ブロック、及び参照ブロックは複数の画素群からなる画像単位であり、ここでは、例えば、1ブロックが縦16画素、横16画素の全256画素により構成されるものを例にとって説明する。

【0068】

第1の記憶部103は、第1のアドレス生成部102により指示された参照領域データを保持する格納領域であり、第2のアドレス生成部105の指示に従い、処理対象ブロックとのブロックマッチングを行う参照ブロックの画素データを出力する。

【0069】

なお、以下に説明する本発明の動きベクトル検出装置において、動きベクトル検出装置が検出を行なう動きベクトルの範囲を $-16 \sim +15.5$ とし、当該動きベクトルの範囲に対応する探索領域として、第1の記憶部103が保持する参照領域の画素データは、処理対象ブロック位置を中心とした縦48画素、横48画素により構成されるものを例にとって説明する。

【0070】

第2の記憶部104は、第1のアドレス生成部102により指示された処理対象ブロックのデータを保持する格納領域であり、第2のアドレス生成部105の指示に従い、処理対象ブロックの画素データを出力する。

第2のアドレス生成部105は、第1の記憶部103、及び第2の記憶部104から出力する画素データのアドレスを生成するとともに、探索処理が終了した

旨を整数精度動きベクトル検出部 1 0 6 に出力する。

【 0 0 7 1 】

なお、この探索処理とは、処理対象ブロックと絶対差分誤差が最小となる参照ブロックを参照領域内から探索する処理であり、この探索処理は、特定の個数の参照ブロックとの比較が終了することにより、又は探索領域範囲内の全ての参照ブロックとの比較が終了すること、或は、処理対象ブロックに対して、特定位置の参照ブロックの絶対差分誤差がその上下左右に位置する参照ブロックの絶対差分誤差よりも小さることが検出されること等により終了する。

【 0 0 7 2 】

整数精度動きベクトル検出部 1 0 6 は、第 1 の記憶部 1 0 3 から出力される参照ブロックの画素データ、及び第 2 の記憶部 1 0 4 から出力される処理対象ブロックの画素データを用いて、処理対象ブロックに対する参照ブロックの絶対差分誤差和を計算し、当該絶対差分誤差和が最小となる参照ブロックを探索して、動きベクトル検出する。

【 0 0 7 3 】

次に、本発明の実施の形態 1 による動きベクトル検出装置の特徴部分である第 2 のアドレス生成部 1 0 5 について詳細に説明する。

以下に、第 2 のアドレス生成部 1 0 5 による画素データのアドレス生成処理について図 2 から図 4 を用いて説明することにする。なお、本実施の形態 1 による第 2 のアドレス生成部 1 0 5 は、画像イメージにおける画素の並びに対して市松模様にはサンプリングを行なうものである。

【 0 0 7 4 】

図 2 は、本発明の実施の形態 1 による第 2 のアドレス生成部 1 0 5 の構成を示すブロック図であり、図 3 は、本発明の実施の形態 1 による第 2 のアドレス生成部 1 0 5 がサブサンプリングを行うマクロブロックの一例を示す図である。なお、図 3 に示すように各画素のアドレスは、初期値を 0 として、0 から 2 5 5 までのアドレス値が設定されている。

【 0 0 7 5 】

図 2 において、第 2 のアドレス生成部 1 0 5 は、カラムカウンタ 1 1 と、ロウ

カウンタ 1 2 と、アドレス保持部 1 3 と、加算器 1 4 とからなる。

ロウカウンタ 1 1、及びカラムカウンタ 1 2 は、ともにダウンカウンタであり、図 3 に示すように、ロウカウンタ値、及びカラムカウンタ値がそれぞれ設定されている。また、ロウカウンタ 1 1 は、第 2 のアドレス生成部 1 0 5 から画素データのアドレスが出力される毎にデクリメントされる。一方、カラムカウンタ 1 2 は、ロウカウンタ 1 1 が 0 になった時にデクリメントされるものであり、また、ロウカウンタ 1 1 がデクリメントされる毎に、加算器 1 4 に対してカラムカウンタ値の L S B（最下位ビット）を反転して出力する。

【 0 0 7 6 】

アドレス保持部 1 3 は、アドレス値（以下、予め保持するアドレス値を初期アドレス値と称する。）を保持し、ロウカウンタ 1 1 がデクリメントされると、アドレス保持部 1 3 が保持する初期アドレス値にプラス 2 をしたアドレス値を加算器 1 4 に出力するとともに、アドレス保持部 1 3 が保持する初期アドレス値を、加算器 1 4 に出力したアドレス値に更新する。なお、アドレス保持部 1 3 が保持する初期アドレス値の初期値は 0 である。

【 0 0 7 7 】

加算器 1 4 は、アドレス保持部 1 3 から出力されたアドレス値に、カラムカウンタ 1 2 から出力されたカラムカウンタ値の L S B（最下位ビット）の反転値を加算して画素データアドレス値として出力する。すなわち、カラムカウンタ 1 2 から出力されたカラムカウンタ 1 2 の L S B（最下位ビット）が「0」、すなわちカラムカウンタ値が偶数の場合には、アドレス保持部 1 3 から出力されたアドレス値に「0」を反転した「1」を加算し、画素データアドレス値として出力する。一方、カラムカウンタ 1 2 から出力されたカラムカウンタ 1 2 の L S B（最下位ビット）が「1」、すなわちカラムカウンタ値が奇数の場合には、アドレス保持部 1 3 から出力されたアドレス値に、「1」を反転した「0」を加算し、画素データアドレス値として出力する。

【 0 0 7 8 】

次に、第 2 のアドレス生成部 1 0 5 の動作について図 3、図 4 を用いて説明する。

図 4 は、本発明の実施の形態 1 による第 2 のアドレス生成部 1 0 5 の画素データのアドレス生成処理を説明するためのフローチャートである。

ロウカウンタ 1 1 がデクリメントされる（ステップ S 1 0 1）と、カラムカウンタ 1 2 は、ロウカウンタ値が「0」であるか否かの判断を行なう（ステップ S 1 0 2）。

【0079】

この時、ロウカウンタ値が「0」である場合には、カラムカウンタ 1 2 をデクリメント（ステップ S 1 0 3）し、デクリメントしたカラムカウンタ値の L S B（最下位ビット）の反転値を加算器 1 4 に出力する（ステップ S 1 0 4）。

また、ロウカウンタ値が「0」でない場合には、カラムカウンタ 1 2 のカラムカウンタ値の変更を行わず、カラムカウンタ値の L S B（最下位ビット）の反転値を加算部 1 4 に出力する（ステップ S 1 0 4）。

【0080】

一方、アドレス保持部 1 3 は、ロウカウンタ 1 1 がデクリメントされる（ステップ S 1 0 1）と、保持された初期アドレス値に 2 を加算した値を加算器 1 4 に出力するとともに、アドレス保持部 1 3 が保持する初期アドレス値を、アドレス保持部 1 3 から出力されたアドレス値、すなわちアドレス保持部 1 3 が保持していた初期アドレス値に 2 を加えたものに更新する（ステップ 1 0 5）。

【0081】

次に、加算器 1 4 は、アドレス保持部 1 3 から出力されたアドレス値に、ステップ S 1 0 4 によりカラムカウンタ 1 2 から出力されたカラムカウンタ値の L S B（最下位ビット）の反転値を加算して（ステップ S 1 0 6）、画素データアドレス値として出力する（ステップ S 1 0 7）。

【0082】

このように、ロウカウンタ 1 1、カラムカウンタ 1 2、アドレス保持部 1 3、加算器 1 4 を備えることにより、画像イメージにおける画素並びに対して市松模様に画素データの位置をサブサンプリングすることができ、マクロブロックを構成する全ての画素に対して絶対差分誤差和を求める場合と比較して、比較的高圧縮の場合には同等程度の精度を得ることができ、かつ絶対差分誤差和を求めるた

めに必要とする計算量を、半分にすることができ、処理速度の向上や消費電力の削減につながる。

【 0 0 8 3 】

また、水平成分、或は垂直成分のみをサブサンプリングし、データの処理量を軽減するものに比べ、画素分布による影響を受けることが少ない。また、水平方向、及び垂直方向に同じ比率によりサブサンプルを行い、データの処理量を軽減するものに比べ、正確に絶対差分誤差和を求めることができ、精度よく動きベクトルを求めることができる。

【 0 0 8 4 】

なお、本実施の形態 1 では、第 2 のアドレス生成部 1 0 5 が画像イメージにおける画素並びに対して市松模様に画素データの位置をサンプリングするものについて説明したが、これに限定されず、本実施の形態 1 による第 2 のアドレス生成部 1 0 5 によれば、ロウカウンタ 1 1、カラムカウンタ 1 2、アドレス保持部 1 3 の設定値を任意に変更することにより、画像イメージにおける画素並びに対して自由にサブサンプリングを行うことができる。

【 0 0 8 5 】

(実施の形態 2)

以下、本発明の実施の形態 2 による動きベクトル検出装置について、図 5 から図 7 を用いて説明する。

図 5 は、本発明の実施の形態 2 による動きベクトル検出装置の構成の一例を示すブロック図である。図 5 において、動きベクトル検出装置は、データ保持部 1 0 1 と、第 1 のアドレス生成部 1 0 2 と、第 1 の記憶部 1 0 3 と、第 2 の記憶部 1 0 4 と、第 2 のアドレス生成部 1 0 5 と、整数精度動きベクトル検出部 2 0 6 とからなる。

【 0 0 8 6 】

なお、本実施の形態 2 による動きベクトル検出装置は、整数精度動きベクトル検出部 2 0 6 に特徴を有する点においてのみ、前述した実施の形態 1 による動きベクトル検出装置と相違する。そのため、前述した実施の形態 1 による動きベクトル検出装置と同様の構成要素については同じ符号を付し、説明を省略する。

【 0 0 8 7 】

以下に、本発明の実施の形態 2 による動きベクトル検出装置の特徴部分である、整数精度動きベクトル検出部 2 0 6 について図 6、図 7 を用いて説明する。

図 6 は、本発明の実施の形態 2 による整数精度動きベクトル検出部 2 0 6 の構成を示すブロック図である。図 6 において、整数精度動きベクトル検出部 2 0 6 は、絶対差分誤差値計算部 2 1 と、減算器 2 2 と、カウンタ 2 3 と、絶対差分誤差和計算部 2 4 と、動きベクトル生成部 2 5 とからなる。

【 0 0 8 8 】

絶対差分誤差値計算部 2 1 は、入力された処理対象ブロックの画素データと、当該処理対象ブロックの画素データに対応する参照ブロックの画素データとの画素値の差分の絶対値を計算し、当該差分の絶対値を絶対差分誤差値として減算器 2 2 に出力する。

【 0 0 8 9 】

減算器 2 2 は、絶対差分誤差値計算部 2 1 により絶対差分誤差値の出力がある毎に、絶対差分誤差和計算部 2 4 が保持する閾値から絶対差分誤差値を、順次、減算して行く。なお、以下の説明では、減算器 2 2 による減算が開始される前の閾値を初期閾値と称する。

【 0 0 9 0 】

カウンタ 2 3 は、特定のカウンタ数を有するアップカウンタであり、減算器 2 2 によって、閾値からの絶対差分誤差値が減算される毎にカウンタ 2 3 をインクリメントする。なお、本実施の形態 2 によるカウンタ 2 3 は、0 から 1 2 7 までをカウンタ有する。これは、第 2 のアドレス生成部 1 0 5 により、処理対象とする 1 6 画素×1 6 画素のマクロブロックに対して市松模様にサンプリングを行った画素データを用いて、整数精度動きベクトル検出部 2 0 6 が絶対差分誤差和を算出するためである。

【 0 0 9 1 】

絶対差分誤差和計算部 2 4 は、初期閾値を保持するとともに、減算器 2 2 により、絶対差分誤差値が減算された閾値を保持する。

また、絶対差分誤差和計算部 2 4 は、減算器 2 2 による減算の結果、閾値の値

が負になった場合には、カウンタ 2 3 を 0 にセットし、絶対差分誤差値計算部 2 1、減算器 2 2 の処理を中止し、当該参照ブロックの位置を、絶対差分誤差和の最小値位置の候補から除外する旨の信号を第 2 アドレス生成部 1 0 5 に出力する。

【 0 0 9 2 】

一方、減算器 2 2 による減算の結果、閾値の値が正である場合には、カウンタ 2 3 の値が「1 2 7」になるまで減算器 2 1 による減算が繰り返される。減算器 2 2 による減算の結果、閾値の値が正のままであり、且つカウンタ 2 3 の値が「1 2 7」になると、カウンタ 2 3 を 0 にセットし、絶対差分誤差和計算部 2 4 が保持する初期閾値から、当該正の値の閾値を減算し、当該減算した値を絶対差分誤差和計算部 2 4 が保持する新たな初期閾値として設定する。

【 0 0 9 3 】

また、当該参照ブロックは絶対差分誤差和が最小となる参照ブロックの候補となるため、第 2 のアドレス生成部 1 0 5 から出力された当該参照ブロックの位置と処理対象ブロックの位置を表わすデータを動きベクトル生成部 2 5 に出力する。なお、絶対差分誤差和計算部 2 4 による閾値の値が負になったか否かの判定は、絶対差分誤差和計算部 2 4 の閾値の M S B（最上位ビット）が「1」（負であることを示すビットとする。）であるか否かのみを判断することにより判定することができる。

また、絶対差分誤差和計算部 2 4 は、第 2 のアドレス生成部 1 0 5 から探索処理が終了した旨の信号を受けた場合には、絶対差分誤差和計算部 2 4 が保持する初期閾値を評価関数として出力する。

【 0 0 9 4 】

動きベクトル生成部 2 5 は、絶対差分誤差和計算部 2 4 から参照ブロックの位置と処理対象ブロックの位置を表わすデータを受けると、その変化量から動きベクトルを生成する。なお、動きベクトル生成部 2 5 は、絶対差分誤差和計算部 2 4 からの出力を受ける毎に動きベクトルを生成するものであり、以前に生成した動きベクトルが存在する場合には、当該動きベクトルを新たに生成した動きベクトルに更新する。

【0095】

また、動きベクトル生成部25は、第2のアドレス生成部105から探索処理が終了した旨の信号を受けた場合には、動きベクトル生成部24が保持する動きベクトルを、処理対象ブロックの動きベクトルとして出力する。

【0096】

次に、整数精度動きベクトル検出部206の動作について図7を用いて説明する。

図7は、本発明の実施の形態2による整数精度動きベクトル検出部206の動作を説明するためのフローチャートである。なお、図7により示されたフローチャートにおける整数精度動きベクトル検出部206の動作は、処理対象ブロックに対する特定の参照ブロックの絶対差分誤差和を計算するためのものであり、処理対象ブロックと参照ブロックの対応する画素データが入力されることにより開始される処理である。

【0097】

処理対象ブロックの画素データと、当該処理対象ブロックの画素データに対応する参照ブロックの画素データの入力があると、絶対差分誤差値計算部21は、処理対象ブロックの画素データと参照ブロックの画素データとの画素値の差分の絶対値を計算し、絶対差分誤差値として減算器22に出力する（ステップS201）。

【0098】

減算器22は、絶対値差分誤差計算部21から絶対差分誤差値の出力があると、絶対差分誤差和計算部24が保持する閾値から、当該絶対差分誤差値を減算する（ステップS202）。

【0099】

減算器22によって閾値から絶対差分誤差値が減算されると、カウンタ23は、カウンタの値をインクリメントする（ステップS203）。

【0100】

次に、絶対差分誤差和計算部24は、ステップS202により、閾値から絶対差分誤差値が減算された結果、閾値の値が負の値になっていないか否かを、閾値

のMSB（最上位ビット）が「1」であるか否かにより判断する（ステップS 2 0 4）。なお、MSB（最上位ビット）が「1」は、閾値が負、MSB（最上位ビット）が「0」は、閾値が正であることを示すものとする。

【0 1 0 1】

この時、閾値のMSB（最上位ビット）が「1」である場合には、当該参照ブロックの絶対差分誤差和は、最小の絶対差分誤差和となり得ないため、カウンタ2 3の値を「0」にセット（ステップS 2 0 9）して、当該参照ブロックに対する処理を最後まで行わず、終了する。

【0 1 0 2】

一方、閾値のMSB（最上位ビット）が「1」でない場合には、カウンタ2 3の値が「1 2 7」であるか否か、すなわち、処理が行われる全ての画素の絶対差分誤差値が閾値から減算されたか否かの判断を行なう（ステップS 2 0 5）。

【0 1 0 3】

この時、カウンタ2 3の値が「1 2 7」でない場合には、ステップS 2 0 1に行き、残りの画素についての絶対差分誤差値を計算（ステップS 2 0 1）し、以後、同様の処理を行なう（ステップS 2 0 2からS 2 0 5）。

【0 1 0 4】

一方、カウンタ2 3の値が「1 2 7」である場合には、絶対差分誤差和計算部2 4は、処理対象ブロックに対する参照ブロックが絶対差分誤差和が最小となる参照ブロックの候補となるため、第2のアドレス生成部1 0 5から出力された当該参照ブロックの位置と処理対象ブロックの位置を表わすデータを動きベクトル生成部2 5に出力する（ステップS 2 0 7）。

【0 1 0 5】

動きベクトル生成部2 5は、参照ブロックの位置と処理対象ブロックの位置を表わすデータを受けると、その変化量から動きベクトルを生成する（ステップS 2 0 7）。なお、この時、以前に生成した動きベクトルが存在する場合には、以前に生成した動きベクトルを新たに生成した動きベクトルに更新する。

【0 1 0 6】

また、絶対差分誤差和計算部2 4は、絶対差分誤差和計算部2 4が保持する初

期閾値からカウンタ 2 3 の値が「1 2 7」となった時の正の閾値の値を減算し、当該減算した値を絶対差分誤差和計算部 2 4 が保持する新たな初期閾値として更新（ステップ S 2 0 8）する。

その後、絶対差分誤差和計算部 2 4 は、カウンタ 2 3 の値を「0」にセット（ステップ S 2 0 9）して、当該参照ブロックに対する処理を終了する。

【0 1 0 7】

このように、整数精度動きベクトル検出部 2 0 6 は、図 7 を用いて説明した処理対象ブロックに対する参照ブロックの絶対差分誤差和が最小となるの参照ブロックの検索処理を動きベクトル探索領域範囲内の他の参照ブロックに対して同様に行う。

【0 1 0 8】

また、処理対象ブロックに対して、参照領域内の参照ブロックの探索が終了すると、第 2 のアドレス生成部 1 0 5 から探索処理が終了した旨の信号が整数精度動きベクトル検出部 2 0 6 に出力され、絶対差分誤差和計算部 2 4 は、絶対差分誤差和計算部 2 4 が保持する初期閾値を評価関数として出力し、動きベクトル生成部 2 6 は、動きベクトル生成部が保持する動きベクトルを、処理対象ブロックの動きベクトルとして出力する。

【0 1 0 9】

このように、整数精度動きベクトル検出部 2 0 6 が閾値から絶対差分誤差値を順次減算し、閾値の値が負となった時点で、処理対象ブロックに対する最小の絶対差分誤差和となる参照ブロックの候補から除外し、途中で計算を中止することにより、処理速度の向上や消費電力の削減を図ることができる。

【0 1 1 0】

また、処理を行っている参照ブロックが処理対象ブロックに対する最小の絶対差分誤差和を有する参照ブロックの候補となるか否かの判断を、閾値からの減算結果が負になるか否かによって判断するため、当該判断を絶対差分誤差和計算部 2 4 の閾値の MSB（最上位ビット）の値のみによって行うことができ、より一層の処理速度の向上や消費電力の削減を図ることができる。

【0 1 1 1】

なお、本発明の実施の形態 2 では、動きベクトル検出装置が市松模様サブサンプリングした参照ブロックの画素データと処理対象ブロックの画素データを用いて動きベクトルを検出するものについて説明したが、これに限定されず、動きベクトル検出装置が参照ブロックの画素データと処理対象ブロックの画素データを用いて動きベクトルを検出するものであれば同様の効果を得ることができる。

【0112】

(実施の形態 3)

以下、本発明の実施の形態 3 による動きベクトル検出装置について、図 8 から図 10 を用いて説明する。

図 8 は、本発明の実施の形態 3 による動きベクトル検出装置の構成の一例を示すブロック図である。図 8 において、動きベクトル検出装置は、データ保持部 101 と、第 1 のアドレス生成部 102 と、第 1 の記憶部 103 と、第 2 の記憶部 104 と、第 2 のアドレス生成部 105 と、整数精度動きベクトル検出部 206 と、探索履歴保持部 301 とからなる。

【0113】

なお、本実施の形態 3 による動きベクトル検出装置は、探索が終了した参照ブロックの履歴を保持し、同じ参照ブロックの 2 重探索を防止する点においてのみ、前述した実施の形態 2 による動きベクトル検出装置と相違する。そのため、前述した実施の形態 2 による動きベクトル検出装置と同様の構成要素については同じ符号を付し、説明を省略する。

【0114】

探索履歴保持部 301 は、整数精度動きベクトル検出部 206 により探索が行われた参照ブロックの履歴を保持する。なお、本実施の形態 3 では、探索対象の位置、及びその周辺位置 8 ヶ所の計 9 つ分の参照ブロックの履歴を持つものについて説明する。

【0115】

以下に、本発明の実施の形態 3 における動きベクトル検出装置による探索履歴を利用した、絶対差分誤差和が最小となる参照ブロックの探索処理の一例について、図 9、図 10 を用いて説明する。

図 9 は、本実施の形態 3 による動きベクトル検出装置の第 2 のアドレス生成部 1 0 5 による探索処理の一例を説明するための説明図である。図 9 において、実線は、処理対象ブロックを示し、点線は、参照ブロックを示す。なお、この探索処理とは、処理対象ブロックと絶対差分誤差が最小となる参照ブロックを参照領域内から探索する処理である。

【 0 1 1 6 】

図 9 に示すように、本実施の形態 3 による動きベクトル検出装置の第 2 のアドレス生成部 1 0 5 による探索処理の一例として、まず、第 2 のアドレス生成部 1 0 5 は、処理対象ブロック内の注目画素 x に対して、同じ位置、及び上下左右に 1 画素分ずらした 5 つ参照ブロックに対して探索を行うよう画素アドレスを生成し、整数精度動きベクトル検出部 2 0 6 により、当該参照ブロックに対する探索が行われる。

【 0 1 1 7 】

その結果は第 2 のアドレス生成部 1 0 5 に出力され、アドレス生成部 1 0 5 は、上下左右の何れかの絶対差分誤差和が最小となった場合には、次に、当該絶対差分誤差和が最小となる参照ブロックを中心として、上下左右に 1 画素分ずらした参照ブロックに対して同様の処理を行う。この処理は、真ん中に位置する参照ブロックの絶対差分誤差和が最小となるまで繰り返され、絶対差分誤差和が最小となる真ん中に位置する参照ブロックが検出されると、当該参照ブロックを、処理対象ブロックに対して最小の絶対差分誤差和となる参照ブロックとして検出し、探索を終了する。

【 0 1 1 8 】

図 1 0 は、探索履歴保持部 3 0 1 内のデータ構造を示す図であり、a から l は、参照ブロックを示す符号である。太線 1 で囲まれた範囲は探索履歴保持部 3 0 1 が保持する履歴の範囲であり、実線 2 は探索が終了した参照ブロックを示すものであり、点線 3 は未探索の参照ブロックを示す。

【 0 1 1 9 】

例えば、処理対象ブロック位置が h の位置にあるとすると、まず、前述したように、処理対象ブロックに対する 5 つの参照ブロックに対して探索が行われる。

探索が終了すると、探索履歴保持部 3 0 1 は、探索が行われた参照ブロック e、参照ブロック g、参照ブロック h、参照ブロック i、参照ブロック k に対してフラグを立てる（図 1 0（A））。

【0 1 2 0】

次に、整数精度動きベクトル検出部 2 0 6 による探索の結果、例えば、処理対象ブロックに対する、参照ブロック e、参照ブロック g、参照ブロック h、参照ブロック i、参照ブロック k の絶対差分誤差和の内、参照ブロック e の絶対差分誤差が最小となった場合には、探索履歴保持部 3 0 1 は、探索履歴保持部 3 0 1 が保持する履歴を全て下方向にシフトさせる（図 1 0（B））。

【0 1 2 1】

これにより、探索履歴保持部 3 0 1 が保持する履歴は、次の探索で中心の参照ブロックである参照ブロック e を中心としたものに、書き換えられたことになる（図 1 0（C））。

【0 1 2 2】

第 2 のアドレス生成部 1 0 5 は、当該参照ブロック e を中心とした、参照ブロック b、参照ブロック d、参照ブロック e、参照ブロック f、参照ブロック h に対して探索を行う際には、探索履歴保持部 3 0 1 内のフラグの有無を判断し、フラグが立っていない、参照ブロック b、参照ブロック d、参照ブロック f の画素データのみの画素アドレスを生成する。そのため、整数精度動きベクトル検出部 2 0 6 は、既に探索が行われた参照ブロック e、参照ブロック h の探索処理を 2 重に行うことがない。

【0 1 2 3】

このように、探索履歴保持部 3 0 1 を設け、既に探索を行った参照ブロックに対して探索履歴を残すことにより、同じ参照ブロックに対して 2 重の探索を行うことを防止することができる。これにより、処理速度の向上を可能にするとともに、消費電力を削減することができる。

【0 1 2 4】

なお、本実施の形態 3 において、第 2 のアドレス生成部 1 0 5 による探索処理は、上下左右に位置する参照ブロックの内、絶対差分誤差和が最小となる方向に

探索を進めるものについて説明したが、これに限定されず、探索履歴保持部301を具備し、探索履歴保持部301が保持する探索履歴に基づいて第2のアドレス生成部が探索処理を行うものであれば何でもよい。

【0125】

(実施の形態4)

以下、本発明の実施の形態4による動きベクトル検出装置について、図11から図14を用いて説明する。

図11は、本発明の実施の形態4による動きベクトル検出装置の構成の一例を示すブロック図である。図11において、動きベクトル検出装置は、データ保持部101と、第1のアドレス生成部102と、第1の記憶部103と、第2の記憶部104と、第2のアドレス生成部105と、整数精度動きベクトル検出部106と、転送ルール保持部401と、転送ルール検出部402とからなる。

【0126】

なお、本実施の形態4による動きベクトル検出装置は、データ保持部101により保持されている画像データ上で、第1の記憶部103に出力される参照領域データがどの位置に存在するかにより、データ保持部101から第1の記憶部103に転送される参照領域データの転送ルールを変更する点においてのみ、前述した実施の形態1による動きベクトル検出装置と相違する。そのため、前述した実施の形態1による動きベクトル検出装置と同様の構成要素については同じ符号を付し、説明を省略する。

【0127】

転送ルール保持部401は、領域判定コードと転送ルールとを対にして保持する。

転送ルール検出部402は、第1のアドレス生成部102により出力された領域判定コードに基づき転送ルールを検出し、第1のアドレス生成部102、及び第2のアドレス生成部105に出力する。

【0128】

ここで、前記領域判定コードについて図12を用いて説明する。

図12は、画像データを示す図であり、本発明の実施の形態4による領域判定

コードは、現時点での動きベクトルの探索を行う参照領域が画像データ上のどの位置に対応するかを示す、4ビットからなるコードである。各ビットは、各ビットは上位から、上端・下端・左端・右端を示しており、例えば上端を示すビットが「1」である場合は、前記参照領域が画像データの上端にあることを示し、ビットが「0」である場合は、前記参照領域が画像データの上端でないことを示している。なお、この領域判定コードは、画像データのアドレスを制御する第1のアドレス生成部102が保持している。

【0129】

以下に、本発明の実施の形態4による動きベクトル検出装置の第1のアドレス生成部102による参照領域データの転送処理について、図12、図13、図14を用いて説明する。

図13は、転送ルール保持部401内に格納されている領域判定コードと転送ルールの一例を示す図であり、図14は、参照領域データを構成する48×48画素のアドレスを示したものである。

【0130】

第1のアドレス生成部102から領域判定コードが転送ルール検出部402に出力されると、転送ルール検出部402は、転送ルール保持部401内に保持されている領域判定コードに対応する転送ルールを検出する。

転送ルール検出部402により検出された転送ルールは、第1のアドレス生成部102に出力される。第1のアドレス生成部102は、検出された転送ルールに基づいて第1の記憶部103に出力する参照領域データの転送アドレスを生成する。

【0131】

例えば、領域判定コードが「0000」の場合には、第1のアドレス生成部は、図12に示した転送開始アドレス位置から、水平方向に1画素ずつ、矩形の水平方向の長さが48、即ち画素アドレスが0から47までの48画素についてのデータを読み出す。即ち、図14に示すように、画素アドレスが0から47までの48画素分のデータの読み出しが終了すると、転送開始アドレス位置から画像イメージに対して垂直方向に1画素分シフトして、左端から画素アドレスが48

から 9 5 までの水平方向 4 8 画素分のデータを同様に読み出す。この垂直方向へのシフトは、矩形の垂直方向の長さが 4 8、即ち縦方向に 4 8 画素分移動するまで継続される。

【 0 1 3 2 】

また、例えば、領域判定コードが「1 0 1 0」の場合には、図 1 4 に示すように、画素アドレスが 7 8 4 の位置から画素データの読み出しが開始され、水平方向に 1 画素ずつ、矩形の水平方向の長さが 3 2、即ち画素アドレスが 7 8 4 から 8 1 5 までの 3 2 画素分のデータを読み出す。画素アドレスが 7 8 4 から 8 1 5 までの 3 2 画素分のデータを読み出しが終了すると、画素アドレス 7 8 4 の位置から画像イメージに対して垂直方向に 1 画素分シフトして、画素アドレスが 8 3 2 から 8 6 3 までの水平方向 3 2 画素分のデータを同様に読み出す。この垂直方向へのシフトは、矩形の垂直方向の長さが 3 2、即ち縦方向に 3 2 画素分移動するまで継続される。

【 0 1 3 3 】

なお、領域判定コードが「0 0 0 1」、「0 0 1 0」、「0 1 0 0」、「0 1 0 1」、「0 1 1 0」、「1 0 0 0」、「1 0 0 1」の場合の参照領域データの転送処理は、前述した領域判定コードが「0 0 0 0」、「1 0 1 0」の場合の説明、及び図 1 3 から明らかであるので説明を省略する。

【 0 1 3 4 】

このように、画像データ上の参照領域データの位置に応じて、第 1 のアドレス生成部 1 0 2 が第 1 の記憶部 1 0 3 に出力する参照領域データの転送ルールを変更することにより、第 1 の記憶部 1 0 3 に転送するデータ量を必要最小限にすることができ、処理速度の向上、及び消費電力を削減することができる。

【 0 1 3 5 】

なお、本実施の形態 4 による動きベクトル検出装置において、領域判定コードを第 1 のアドレス生成部 1 0 2 が保持しているものについて説明したが、これに限定されず、例えば、ユーザが領域判定コードを転送ルール検出部 4 0 2 に直接入力するもの等であってもよい。

また、本発明の実施の形態 4 による動きベクトル検出装置は、領域判定コード

に対応する転送ルールの例として、図 1 3 に示すような転送ルールを示したが、これに限定されず、領域判定コードに対応する転送ルールに基づいて、第 1 のアドレス生成部 1 0 2 がデータの転送アドレスを生成するものであればなんでもよい。

【 0 1 3 6 】

（実施の形態 5）

以下、本発明の実施の形態 5 による動きベクトル検出装置について、図 1 5 から図 1 7 を用いて説明する。

図 1 5 は、本発明の実施の形態 5 による動きベクトル検出装置の構成の一例を示すブロック図である。図 1 5 において、動きベクトル検出装置は、データ保持部 1 0 1 と、第 1 のアドレス生成部 1 0 2 と、第 1 の記憶部 1 0 3 と、第 2 の記憶部 1 0 4 と、第 2 のアドレス生成部 1 0 5 と、整数精度動きベクトル検出部 1 0 6 と、転送ルール検出部 4 0 2 と、転送ルール保持部 4 0 1 と、記憶データ制御部 5 0 1 とからなる。

【 0 1 3 7 】

なお、本実施の形態 5 による動きベクトル検出装置は、第 1 の記憶部 1 0 3 がダブルバッファ構造を有する動きベクトル検出装置であって、第 1 の記憶部 1 0 3 内のデータを記憶データ制御部 5 0 1 が制御する点においてのみ、前述した実施の形態 4 による動きベクトル検出装置と相違する。そのため、前述した実施の形態 1 による動きベクトル検出装置と同様の構成要素については同じ符号を付し、説明を省略する。

【 0 1 3 8 】

なお、まずここで、第 1 の記憶部 1 0 3 内のメモリ構造であるダブルバッファ構造について、図 1 6 を用いて説明することにする。

図 1 6 は、本発明の実施の形態 5 による第 1 の記憶部 1 0 3 のメモリ構造を説明する説明図であり、図 1 6 において、第 1 の記憶部 1 0 3 は、メモリ X とメモリ Y の 2 つのバッファメモリを保持している。この 2 つのメモリは、例えば、メモリ Y に対してデータの読み込み読み込みが行われている際には、他方のメモリ X では、データの読み出しが行われている。また、両処理が終了するとメモリ X と

メモリYを入れ替えて、メモリXに対してデータの読み込み読み込みを行うと同時に、メモリYに書き込まれたデータを読み出す。これにより、データの入出力を効率的に行うことができるものである。

【0139】

次に、本発明の実施の形態5による記憶データ制御部501の動作の動作について説明する。

一般的に、画像データを構成する複数のブロックに対して動きベクトルを求める場合には、画像データに対して左上端に位置するブロックから順次右側に1ブロックずつシフトさせ、それぞれの処理対象ブロックに対して動きベクトルを検出する。そのため、前述したようなダブルバッファ構造を有する第1の記憶部103を用いて、探索を行う領域である参照領域データの入出力を行う場合には、画素データがメモリXとメモリYとの間でオーバーラップすることになり、処理対象ブロックが変わる毎に重複したデータ転送を行ってしまう。

【0140】

よって、本発明の実施の形態5による動きベクトル検出装置の記憶データ制御部501は、図17に示すように、ダブルバッファ構造を有する第1の記憶部103に格納されたデータのうち、メモリYに必要なデータであり且つメモリX上に格納されているデータをメモリXからメモリYに転送する。その後メモリYに必要なデータをデータ保持部101から読み込む。なお、同様の処理は、メモリYからメモリXへの転送においても同様に行われる。

【0141】

なお、この記憶データ制御部501により、コピーが行われる第1の記憶部103内のデータの範囲は、第1のアドレス生成部102から出力される領域判定コードに基づいて決定されるものであり、領域判定コードは、前記実施の形態4により説明したものと同様であるため説明を省略する。

【0142】

以下に、本実施の形態5による記憶データ制御部501の動作の具体例について図18を用いて説明する。

図18は、領域判定コードと、第1の記憶部103が新たに読み込むデータ、

及び第1の記憶部103内でコピーするデータとの対応を示す図である。

例えば、図18に示すように、メモリYに対してデータの読み込みを行なう領域判定コードが「0000」の場合には、記憶データ制御部501は、第1の記憶部103内のメモリXのデータのうち、右の6ブロック分のデータをメモリYの左にコピーする。これにより、データ記憶部103は、残りの右3ブロック分のデータのみをデータ保持部101から新たに読込めばよい。

【0143】

また、メモリYに対してデータの読み込みを行なう領域判定コードが「0001」の場合には、記憶データ制御部501は、図18に示すように、第1の記憶部103内のメモリXのデータのうち、右の6ブロック分のデータをメモリYの左にコピーする。また、領域判定コードが「0001」の場合、即ち右端のビットが「1」の場合には、右側に位置するブロックのデータが存在しないため、データの読み込みを行わない。

【0144】

また、メモリYに対してデータの読み込みを行なう領域判定コードが「0010」の場合には、記憶データ制御部501は、図18に示すように、データのコピーを行わない。これは、前述したように、複数のブロックに対して動きベクトルを求める場合に、処理を行なう処理対象ブロックを右側に順次シフトさせながら動きベクトル検出を行なうため、領域判定コードが「0010」の場合、即ち、右から2つ目のビットが「1」の場合には、動きベクトルを検出する処理対象ブロックの位置が画像データの左端に位置するため、前回の探索で用いたデータを用いることができないためである。

なお、他の領域判定コードの場合の記憶データ制御部501の動作は、前述した領域判定コード「0000」、「0001」、「0010」、及び図18から明らかであるので、説明を省略する。

【0145】

このように、領域判定コードを用いて、記憶データ制御部501が、第1の記憶部103内に記憶されたデータの制御を行うことにより、データ保持部101から読込むデータの量を軽減することができ、処理速度の向上が可能となるとと

もに、消費電力の軽減につながる。

【0146】

なお、本実施の形態5による動きベクトル検出装置において、領域判定コードを第1のアドレス生成部102が保持しているものについて説明したが、これに限定されず、例えば、ユーザが領域判定コードを記憶データ制御部501に直接入力するもの等であってもよい。

【0147】

また、本実施の形態5による動きベクトル検出装置は、少なくとも、第1の記憶部103のメモリ構造がダブルバッファ構造をしているものであればよく、データ保持部101や、第2の記憶部104のメモリ構造は、どのようなものであってもよい。

【0148】

また、本発明の実施の形態1から5において、動きベクトルを検出する動きベクトル検出部が整数精度の動きベクトルを検出する整数精度動きベクトル検出部106であるものについて説明したが、これに限定されず、例えば、動きベクトルを検出部が少数精度の動きベクトルを求めるものや、整数精度の動きベクトルと少数精度の動きベクトルをともに求めるもの等であってもよい。なお、少数精度の動きベクトル検出については、後述する実施の形態6で説明することにする。

【0149】

(実施の形態6)

以下、本発明の実施の形態6による動きベクトル検出装置について、図19から図22を用いて説明する。

図19は、本発明の実施の形態6による動きベクトル検出装置の構成の一例を示すブロック図である。図19において、動きベクトル検出装置は、データ保持部101と、第1のアドレス生成部102と、第1の記憶部103と、第2の記憶部104と、第2のアドレス生成部105と、補間画素生成部601と、少数精度動きベクトル検出部602と、読み出し方向決定部603とからなる。

【0150】

補間画素生成部 6 0 1 は、第 1 の記憶部内に保持される参照領域データの画素間の任意の位置における画素値の補間処理を行うことによって求めるものである。なお、本発明の実施の形態 6 では、説明を簡単にするため、各画素間の真ん中の位置における画素値である半画素を生成するものを例にとって説明する。

【 0 1 5 1 】

図 2 0 は、本発明の実施の形態 6 による動きベクトル検出装置の補間画素生成部 6 0 1 を説明するための説明図であり、黒丸は画素の位置、白丸は補間画素生成部 6 0 1 により求められた半画素の位置を示す。例えば、半画素 m を生成するためには、画素 A、画素 B、画素 C、及び画素 D の周囲 4 画素分の画素値のデータが必要であり、補間画素生成部 6 0 1 は、 $\text{半画素 } m = (\text{画素 A} + \text{画素 B} + \text{画素 C} + \text{画素 D}) / 4$ を計算することにより半画素 m の画素値を求める。また、半画素 n を生成するためには、縦方向に存在する画素 B と画素 D の 2 画素分の画素値のデータが必要であり、補間画素生成部 6 0 1 は、 $\text{半画素 } n = (\text{画素 B} + \text{画素 D}) / 2$ を計算することにより半画素 n の画素値を求める。さらに、半画素 o を生成するためには、横方向に存在する画素 C と画素 D の 2 画素分の画素値のデータが必要であり、補間画素生成部 6 0 1 は、 $\text{半画素 } o = (\text{画素 C} + \text{画素 D}) / 2$ を計算することにより半画素 o の画素値を求める。

【 0 1 5 2 】

少数精度動きベクトル検出部 6 0 2 は、第 1 の記憶部 1 0 3 から出力された参照ブロックの画素データを用いて補間画素生成部 6 0 1 が生成した半画素データ、及び第 2 の記憶部 1 0 4 から出力される処理対象ブロックの画素データを用いて、処理対象ブロックと、参照ブロックから $1/2$ 画素分ずれた半画素精度の参照ブロックとの絶対差分誤差和を計算し、当該絶対差分誤差和が最小となる半画素精度の参照ブロックを探索して、動きベクトル検出する。なお、本実施の形態 6 による少数精度動きベクトル検出装置 6 0 2 による前記半画素精度の参照ブロックを探索は、処理対象ブロック位置の周辺における最小の半画素精度の参照ブロックが存在する方向に探索を進めるものとし、当該探索方向は、探索位置ベクトルとして読み出し方向決定部 6 0 3 に出力される。

【 0 1 5 3 】

読み出し方向決定部 6 0 3 は、補間画素生成部 6 0 1 で生成を行なう半画素データの位置によって、第 1 の記憶部 1 0 3 から出力する参照領域の画素データの読み出し方向を決定する。なお、この補間画素生成部 6 0 1 により生成が行われる半画素データの位置は、前述した少数精度動きベクトル検出部 6 0 2 から出力される探索位置ベクトルに基づいて決定される。

【 0 1 5 4 】

以下に、本発明の実施の形態 6 による動きベクトル検出装置のハーフペル生成処理について図 2 1、図 2 2 を用いて説明する。

図 2 1、図 2 2 は、本発明の実施の形態 6 による補間画素生成部 6 0 1 による半画素データの生成を説明するための説明図である。図 2 1、図 2 2 において、補間画素生成部 6 0 1 は、図示するように、補間処理部 8 1 とシフトレジスタ群 8 2 とからなる。

補間処理部 8 1 は、シフトレジスタ 8 2 が保持する画素データの補間処理を行い、画素間の位置における画素値を算出する。シフトレジスタ群 8 2 は、2 1 個のシフトレジスタからなり、画素データの入力がある毎に読込んだ画素データをシフトさせる。なお、本実施の形態 6 では、画素間の中心の位置である半画素精度の画素値を求めるものである。

【 0 1 5 5 】

この補間画素生成部 6 0 1 により、参照ブロックに対して左、右、右上、右下、左上、左下の何れかの方向に 1 / 2 画素ずれた半画素精度の参照ブロックを作成する場合には、読み出し方向決定部 6 0 3 は、第 1 の記憶部 1 0 3 内に格納された参照領域のデータを横方向に読み出す旨の指示を第 2 のアドレス生成部 1 0 5 に対して行う。第 2 のアドレス生成部 1 0 5 は、図 2 1 に示すように、第 1 の記憶部 1 0 3 内に格納された参照領域の画素データから、横方向に位置するデータを 1 8 画素づつ、縦方向に 1 8 回読み出す。

【 0 1 5 6 】

読み出された画素データは、補間画素生成部 6 0 1 内のシフトレジスタ群 8 2 に入り、補間処理部 8 1 により補間処理が行われる。

また、補間画素生成部 6 0 1 のシフトレジスタ群 8 2 は、少なくとも、（横方

向に読み出すデータ数+2)個のシフトレジスタを保持することにより、斜め方向に半画素ずれた画素データを生成する場合であっても、改めて、データの読み出しを行なうことなく、斜め方向に半画素ずれた画素データの補間処理を行うことができ、処理速度向上とともに消費電力の削減を図ることができる。

【0157】

一方、この補間画素生成部601により、参照ブロックに対して上、下、右上、右下、左上、左下の何れかの方向に1/2画素ずれた半画素精度の参照ブロックを作成する場合には、読み出し方向決定部603は、第1の記憶部103内に格納された参照領域のデータを縦方向に読み出す旨の指示を第2のアドレス生成部105に対して行う。第2のアドレス生成部105は、図22に示すように、第1の記憶部103内に格納された参照領域の画素データから、縦方向に位置するデータを18画素づつ、横方向に18回読み出す。

読み出された画素データは、補間画素生成部601内のシフトレジスタ群82に入り、補間処理部81により補間処理が行われる。

【0158】

このように、縦方向に読み出した画素データを用いて、縦方向に半画素ずれた画素データを生成することにより、縦方向に半画素ずれた画素データの補間処理を行なうための演算量を減らすことができ、処理速度向上とともに消費電力の削減を図ることができる。

【0159】

また、補間画素生成部601のシフトレジスタ群82は、少なくとも、(縦方向に読み出すデータ数+2)個のシフトレジスタを保持することにより、斜め方向に半画素ずれた画素データを生成する場合であっても、改めて、データの読み出しを行なうことなく、斜め方向に半画素ずれた画素データの補間処理を行うことができ、処理速度向上とともに消費電力の削減を図ることができる。

【0160】

すなわち、画素の補間位置によって画像イメージに対するデータの読み出し方向を変更することにより、補間画素生成部601の構成を変更することなく縦方向、または横方向に半画素ずれた半画素n、oを高速に、且つ同タイミングで生

成することが可能となり、処理速度向上とともに消費電力の削減を図ることが出来る。さらに斜め方向に半画素ずれた半画素mを生成する際にも、少なくともシフトレジスタ群82が20個のシフトレジスタを有することにより、高速に、且つ同タイミングで半画素データを生成することが可能となり、データ転送量の削減、処理速度向上とともに消費電力の削減を図ることが出来る。

【0161】

なお、図21、図22では、補間画素生成部601が21個のシフトレジスタを有するシフトレジスタ群82を示したが、これに限定されず、例えば、上下左右方向に半画素ずれた画素データを生成する場合には、少なくとも、2個のシフトレジスタを保持するものであればよく、また、斜め方向へ半画素ずれた画素データを生成するためには、少なくとも20個のシフトレジスタを保持するものであればよい。

【0162】

(実施の形態7)

以下、本発明の実施の形態7による動きベクトル検出装置について、図23、及び図24を用いて説明する。

図23は、本発明の実施の形態7による動きベクトル検出装置の構成の一例を示すブロック図である。図23において、動きベクトル検出装置は、データ保持部101と、第1のアドレス生成部102と、第1の記憶部103と、第2の記憶部104と、第2のアドレス生成部105と、補間画素生成部601と、読み出し方向決定部603と、少数精度動きベクトル検出部701とからなる。

【0163】

なお、本実施の形態7による動きベクトル検出装置は、少数精度動きベクトル検出部702が絶対差分誤差和を計算する絶対差分誤差和演算部を2つ搭載し、処理対象ブロックに対する2つ分の少数精度参照ブロックのブロックマッチングを同時に行う点においてのみ、前述した実施の形態6による動きベクトル検出装置と相違する。そのため、前述した実施の形態6による動きベクトル検出装置と同様の構成要素については同じ符号を付し、説明を省略する。

【0164】

以下に、本発明の実施の形態 7 による動きベクトル検出装置による少数精度動きベクトル検出処理について説明する。

前記実施の形態 1 において説明したように、第 2 のアドレス生成部 1 0 5 は、処理対象ブロック、及び参照ブロックに対して市松模様サブサンプリングした画素データのアドレスを発生する。

【0 1 6 5】

しかし、本実施の形態 7 による補間画素生成部 6 0 1 において、第 2 の記憶部 1 0 4 から出力される市松模様サブサンプリングされた処理対象ブロックの画素データに対応する半画素精度参照ブロックを生成するためには、前記実施の形態 6 で説明したように参照ブロックを構成する全画素データ、及びその周辺の一画素分の画素データを読み込む必要がある。

【0 1 6 6】

そこで、補間画素生成部 6 0 1 は、第 1 の記憶部 1 0 3 から読み込んだ参照ブロックを構成する全画素データ、及びその周辺の一画素分のデータを用いて、市松模様サブサンプリングされた処理対象ブロックと対応する 2 つの半画素精度処理対象ブロック、例えば、整数精度の参照ブロックから上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、右斜め下と左斜め下にそれぞれ半画素分ずれた 2 つ半画素精度参照ブロックの少数精度画素のデータを生成し、少数精度動きベクトル検出部 7 0 1 に出力する。

【0 1 6 7】

なお、このとき、整数精度の参照ブロックから、例えば上下に半画素分ずれた少数精度の参照ブロックの画素データは、少数精度の参照ブロックを構成する画素列の上端列及び下端列の画素データがそれぞれ異なるのみであり、それ以外の重複部分は同じ値を用いることができる。そのため、補間画素生成部 6 0 1 のデータ処理量を軽減することができる。これは、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、右斜め下と左斜め下にそれぞれ半画素分ずれた 2 つ半画素精度参照ブロックの少数精度画素のデータを生成するときも同様である。

【0 1 6 8】

以下に、少数精度動きベクトル検出部 7 0 1 に構成について、図 2 4 を用いて説明する。

図 2 4 は、本発明の実施の形態 7 による動きベクトル検出装置の少数精度動きベクトル検出部 7 0 1 の構成を説明するブロック図である。図において、少数精度動きベクトル検出部 7 0 1 は、第 1 の絶対差分誤差和演算部 7 1 と、第 2 の絶対差分誤差和演算部 7 2 と、動きベクトル生成部 7 3 とからなる。

【 0 1 6 9 】

第 1 の絶対差分誤差和演算部 7 1、及び第 2 の絶対差分誤差和演算部 7 2 は、ともに、市松模様サブサンプリングされた処理対象ブロックの画素データと、当該処理対象ブロックの画素データに対応する半画素精度の参照ブロックの画素データを用いて、処理対象ブロック、及び半画素精度参照ブロックを構成する画素データの絶対値の差分の和である絶対差分誤差和を求める演算部である。

【 0 1 7 0 】

動きベクトル生成部 7 3 は、第 1 の絶対差分誤差和演算部 7 1、及び第 2 の絶対差分誤差和演算部 7 2 により演算された、処理対象ブロックに対して絶対差分誤差和が小さくなる少数精度の参照ブロックの位置から動きベクトルを生成する。

【 0 1 7 1 】

例えば、少数精度動きベクトル検出部 7 0 1 により、市松模様サブサンプリングされた処理対象ブロックに対して左右に半画素分ずれた 2 つの半画素精度の参照ブロックについてのブロックマッチングを行なう場合には、補間画素生成部 6 0 1 から左側に半画素ずれた半画素精度の処理対象ブロックの画素データ、及び処理対象ブロックの画素データが第 1 の絶対差分誤差和演算部 7 1 に入力され、右側に半画素ずれた半画素精度の処理対象ブロックの画素データ、処理対象ブロックの画素データが第 2 の絶対差分誤差和演算部 7 1 に入力される。

【 0 1 7 2 】

第 1 の絶対差分誤差和演算部 7 1、及び第 2 の絶対差分誤差和演算部 7 2 では、市松模様サブサンプリングされた処理対象ブロックに対して右側、及び左側に半画素分ずれた少数精度の参照ブロックの絶対差分誤差和がそれぞれ演算され

、動きベクトル生成部 73 に出力される。

【0173】

動きベクトル生成部 73 は、第 1 の絶対差分誤差和演算部 71、及び第 2 の絶対差分誤差和演算部 72 から出力された絶対差分誤差和を比較し、絶対差分誤差和の値が小さい方の少数精度の参照ブロックに対する動きベクトルを検出する。

【0174】

このように、サブサンプリングを行った処理対象ブロックに対して、少数精度の動きベクトルの検出に用いる少数精度の補間画素を生成するために第 1 の記憶部 103 内に記憶された参照ブロックを構成する全画素データを読み出した場合であっても、少数精度動きベクトル検出部 701 が絶対差分誤差和演算部を 2 つ搭載し、補間画素生成部 601 が 2 つの半画素精度参照ブロックを同時生成することにより、上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、右斜め下と左斜め下等に半画素分ずれた 2 つ半画素精度処理対象ブロックの絶対差分誤差和の演算処理を同時に行うことができ、補間画素生成部 601 の処理量を軽減することができるとともに、第 1 の記憶部 103 から読み出すデータ量を軽減することができ、処理速度を向上することができるとともに、消費電力の削減につながる。

【0175】

なお、本発明の実施の形態 7 による動きベクトル検出装置では、第 2 のアドレス生成部 105 が処理対象ブロックに対して市松模様となるように画素のアドレスを生成するものについて説明したが、これに限定されず、例えば、第 2 のアドレス生成部 105 が処理対象ブロックを構成する全ての画素のアドレスを生成するもの等、第 2 のアドレス生成部 105 が生成する画素アドレスの方式には限定されない。

【0176】

(実施の形態 8)

以下、本発明の実施の形態 8 による動きベクトル検出装置について、図 12、図 25、図 26 を用いて説明する。

図 25 は、本発明の実施の形態 8 による動きベクトル検出装置の構成の一例を

示すブロック図である。図 2 5 において、動きベクトル検出装置は、データ保持部 1 0 1 と、第 1 のアドレス生成部 1 0 2 と、第 1 の記憶部 1 0 3 と、第 2 の記憶部 1 0 4 と、第 2 のアドレス生成部 1 0 5 と、整数精度動きベクトル検出部 1 0 6 と、転送ルール保持部 4 0 1 と、転送ルール検出部 4 0 2 と、探索可否条件保持部 8 0 1 と、探索可否条件検出部 8 0 2 とからなる。

【 0 1 7 7 】

なお、本実施の形態 8 による動きベクトル検出装置は、第 2 のアドレス生成部 1 0 5 が探索可否条件検出部 8 0 2 により検出された探索可否条件に基づいて、第 1 の記憶部 1 0 3 から出力する参照ブロックの画素データのアドレスを生成する点においてのみ、前述した実施の形態 4 による動きベクトル検出装置と相違する。そのため、前述した実施の形態 4 による動きベクトル検出装置と同様の構成要素については同じ符号を付し、説明を省略する。

【 0 1 7 8 】

探索可否条件保持部 8 0 1 は、領域判定コードと探索を行うことができる位置か否かを判断するための条件である探索可否条件とを対にして保持する。

探索可否条件検出部 8 0 2 は、第 1 のアドレス生成部 1 0 2 により出力された領域判定コードに基づき探索可否条件保持部 8 0 1 から探索可否条件を検出し、第 2 のアドレス生成部 1 0 5 に出力する。

なお、領域判定コードは、前記本発明の実施の形態 4 において、図 1 2 を用いて説明した領域判定コードと同様であるため、説明を省略する。

【 0 1 7 9 】

以下に、本発明の実施の形態 8 による動きベクトル検出装置の第 2 のアドレス生成部 1 0 5 による参照ブロックの画素データのアドレス生成処理について、図 2 5、図 2 6 を用いて説明する。

図 2 6 (a) は、探索可否条件保持部 8 0 1 内に格納されている領域判定コードと探索可否条件の一例を示す図である。これは、図 2 6 (b) に示すように、右方向を正とする横軸を x 軸、下方向を正とする縦軸を y 軸とし、画素 p の位置を原点とした場合の探索可否条件保持部 8 0 1 が保持する探索可否条件を示したものである。なお、図 2 6 (a) に示された領域可否条件は、探索を行うことが

できる領域を示したものである。

【0180】

第1のアドレス生成部102より領域判定コードが探索可否条件検出部802に出力されると、探索可否条件検出部802は、探索可否条件保持部801内から当該領域判定コードに対応する探索可否条件を検出し、第2のアドレス生成部105に出力する。

第2のアドレス生成部105は、探索可否条件検出部802から出力された探索可否条件に基づいて、第1の記憶部103から出力する画素データのアドレスを生成する。

【0181】

次に、本発明の実施の形態8による動きベクトル検出装置の具体例について説明する。

例えば、第1のアドレス生成部102より出力された領域判定コードが「0000」の場合には、探索可否条件検出部802は、探索可否条件保持部801から探索可否条件である($-16 \leq x \leq 15$ 、 $-16 \leq y \leq 15$)を検出し、第2のアドレス生成部105に出力する。

第2のアドレス生成部105は、前記探索可否条件検出部802もより検出された探索可否条件を用い、 $-16 \leq x \leq 15$ 、 $-16 \leq y \leq 15$ の範囲内となるように画素アドレスを生成する。

【0182】

なお、領域判定コードが「0001」「0010」「0100」「0101」「0110」「1000」「1001」「1010」の場合についても、前述した領域判定コードが「0000」の場合と同様であるため説明を省略する。

【0183】

このように、探索可否条件検出部802が探索可否条件保持部801から領域判定コードを用いて、探索可否条件を検出し、当該探索可否条件に基づき第2のアドレス生成部105が第1の記憶部103から出力する画素データのアドレスを生成することにより、有効な探索を行なうことができる領域の画素アドレスを正確に生成することができ、無駄な探索処理を行なうことなく高速に処理を行う

ことができる。

【0184】

(実施の形態9)

以下、本発明の実施の形態9による動きベクトル検出装置について、図27を用いて説明する。

図27は、本発明の実施の形態9による動きベクトル検出装置の構成の一例を示すブロック図である。図27において、動きベクトル検出装置は、データ保持部101と、第1のアドレス生成部102と、第1の記憶部103と、第2の記憶部104と、第2のアドレス生成部105と、整数精度動きベクトル検出部106と、転送ルール保持部401と、転送ルール検出部402と、補間画素生成部601と、少数精度動きベクトル検出部602と、読み出し方向決定部603と、探索可否条件保持部801と、探索可否条件検出部802とからなる。

【0185】

なお、本発明の実施の形態9は、前記本実施の形態8における動きベクトル検出装置の整数精度動きベクトル検出時に用いられる探索可否条件保持部801と探索可否条件検出部802を、少数精度動きベクトルの検出時にも用いるものであり、整数精度動きベクトル検出時、及び少数精度動きベクトル検出時に、それぞれ探索可否条件検出部802により探索可否条件を検出し、第2のアドレス生成部105が、当該探索可否条件検出部802により検出された探索可否条件を用いて画素アドレスを生成するものである。なお、各構成要素は、前記実施の形態6及び8で説明した動きベクトル検出装置と同様であるため、説明を省略する。

【0186】

このように、整数精度動きベクトル検出に用いられる探索可否条件保持部801と探索可否条件検出部802を、少数精度動きベクトル検出にも併用することにより、回路規模の縮小を図るとともに、製造コスト削減につながる。

【0187】

(実施の形態10)

以下、本発明の実施の形態10による動きベクトル検出装置について、図28

を用いて説明する。

図 2 8 は、本発明の実施の形態 1 0 による動きベクトル検出装置の構成の一例を示すブロック図である。図 2 8 において、動きベクトル検出装置は、データ保持部 1 0 1 と、第 1 のアドレス生成部 1 0 2 と、第 1 の記憶部 1 0 3 と、第 2 の記憶部 1 0 4 と、第 2 のアドレス生成部 9 0 5 と、整数精度動きベクトル検出部 1 0 6 と、転送ルール保持部 4 0 1 と、転送ルール検出部 4 0 2 と、補間画素生成部 6 0 1 と、少数精度動きベクトル検出部 6 0 2 と、読み出し方向決定部 6 0 3 と、探索可否条件保持部 8 0 1 と、探索可否条件検出部 8 0 2 とからなる。

【 0 1 8 8 】

なお、本発明の実施の形態 1 0 における動きベクトル検出装置は、整数精度動きベクトル検出時に、探索可否条件検出部 8 0 2 により検出された探索可否条件を用いて、整数精度の動きベクトル探索を行い、整数精度の動きベクトルを検出する。その後、少数精度動きベクトルの検出を行う場合には、前記整数精度動きベクトル検出時の探索可否の結果を用いて少数精度の動きベクトル検出を行うものである。なお、各構成要素は、前記実施の形態 6 及び 8 で説明した動きベクトル検出装置と同様であるため、説明を省略する。

【 0 1 8 9 】

第 2 のアドレス生成部 9 0 5 は、探索可否条件検出部 8 0 2 により検出された探索可否条件に基づいて、整数精度動きベクトル検出に用いる画素データのアドレスを生成すると共に、整数精度動きベクトル検出時に探索を行うことができたか否かの情報である、探索可否データを各参照ブロック位置毎に保持する。また、整数精度の動きベクトル検出後、少数精度動きベクトル検出を行う場合には、当該探索可否データを用いて少数精度の動きベクトル検出時の探索可否を判断する。

【 0 1 9 0 】

以下に、本発明の実施の形態 1 0 による動きベクトル検出装置の動作について図 2 9 を用いて説明する。

図 2 9 は、整数精度動きベクトル検出時の動きベクトル探索の一例を示したものであり、特定位置における参照ブロック(中心に位置するブロック)から上下左

右に一面素分ずれた位置における参照ブロック（図中、点線で表わす）の位置を示す図である。なお、本発明の実施の形態 1 0 による動きベクトル検出装置の整数精度動きベクトル検出は、図 2 9 に示すような位置関係にある参照ブロックのうち、中心に位置する参照ブロックの絶対差分誤差和が最小となった場合に、当該参照ブロック位置を整数精度の動きベクトル検出の対象位置とするものである。

【 0 1 9 1 】

第 2 のアドレス生成部 9 0 5 は、整数精度動きベクトル検出時に、この動きベクトル検出の対象位置の上下左右に位置する参照ブロックの探索の可否を 4 ビットからなる探索可否データとして保持する。具体的には、例えば、図 2 9 に示すように左端ビットから上下左右の位置を表わすものとし、探索を行うことができなかった参照ブロック位置のビットを「1」、探索を行うことができた参照ブロック位置のビットを「0」として保持する。

【 0 1 9 2 】

これにより、整数精度の動きベクトル探索終了後、さらに正確な動きベクトルを求めるために、整数精度の動きベクトル検出時に探索を行った領域の範囲内で少数精度の動きベクトル探索を行う場合にでも、第 2 のアドレス生成部 9 0 5 は、前記 4 ビットからなる探索可否データに基づいて、第 1 の記憶部 1 0 3 から出力する画素アドレスを生成することができる。これにより、少数精度の動きベクトルの検出時に改めて探索可否条件の検出を行うことなく、探索の可否を判断することができ、処理速度の向上を図ることができる。また、整数精度の動きベクトル検出時の探索結果を少数精度動きベクトル検出時にも用いるため、回路規模の縮小を図るとともに、製造コスト削減につながる。

【 0 1 9 3 】

（実施の形態 1 1）

以下、本発明の実施の形態 1 1 による動きベクトル検出装置について、図 3 0 を用いて説明する。

図 3 0 は、本発明の実施の形態 1 1 による動きベクトル検出装置とその周辺の構成の一例を示すブロック図である。図 3 0 において、動きベクトル検出装置は

、データ保持部101と、第1のアドレス生成部102と、第1の記憶部103と、第2の記憶部104と、第2のアドレス生成部1005と、整数精度動きベクトル検出部106と、探索実行可否決定部1001とからなる。なお、前記実施の形態1で説明した動きベクトル検出装置を構成する各構成要素の内、同一のものについては、同一の符号を付し、説明を省略する。

【0194】

探索実行可否決定部1001は、前回の動きベクトル検出で検出された動きベクトルを保持するとともに、整数精度動きベクトル検出部106により算出された絶対差分誤差と特定の閾値とを比較することにより探索実行の可否を決定する。

【0195】

第2のアドレス生成部1005は、第1の記憶手段103、及び第2の記憶手段104から出力するデータのアドレスを生成すると共に、第1の記憶手段103から動きベクトル検出位置での画素データを整数精度動きベクトル検出部106をスルーして外部に出力するためのスループスを与える。

【0196】

次に、本発明の実施の形態11による動きベクトル検出装置の動作について説明する。

第2のアドレス生成部1005は、探索実行可否決定部1001が保持する前回の探索で検出された動きベクトルを用いて、第1の記憶部103より出力する画素データ、及び第2の記憶部104より出力する画素データのアドレスを生成する。

即ち、一般的に検出される動きベクトルは、探索を行った処理対象ブロックの周辺では、ほとんど変化が見られないことが多いため、第2アドレス生成部1005は、まず、可能性の高い位置（たとえば、直前に探索したブロックの動きベクトルと同位置）の参照ブロックに対してブロックマッチングするように画素データのアドレスを生成する。

【0197】

整数精度動きベクトル検出部106は、第2のアドレス生成部105により第

1の記憶部103から読み出された参照ブロックの画素データ、及び第2の記憶部104から読み出された処理対象ブロックの画素データとを入力として、当該処理対象ブロックと参照ブロックとの絶対差分誤差和計算し、探索実行可否決定部1001に出力する。

【0198】

この探索実行可否決定部1001では、整数精度動きベクトル検出部106により算出された絶対差分誤差が特定の閾値以下であるか否かが判断され、特定の閾値以下であれば、第2のアドレス生成部1005が前回の探索で検出された動きベクトルを用いて決定した参照ブロックの位置を動きベクトル検出位置と決定し、動きベクトルの探索処理を終了する。

【0199】

一方、絶対差分誤差が特定の閾値以上の場合には、その後、他の参照ブロックに対して動きベクトル探索処理を実行するように第2のアドレス生成部1005に出力する。

【0200】

このように、動きベクトルが検出される可能性の高い位置（たとえば、直前に探索したブロックの動きベクトルと同位置）の参照ブロックに対してブロックマッチングを行い、そのマッチング結果（絶対差分誤差和）により、その後の探索実行の可否を判断することにより、処理速度の向上や消費電力の削減を図ることができる。

【0201】

また、この際、前記の判断の結果、動きベクトル探索を実行しない場合には、動きベクトル検出処理以降で用いる画素データとしては、第1の記憶部103に格納されている参照ブロック中で、前回の探索で検出された動きベクトル位置で示されている画素データが必要となる。

【0202】

そのため、本実施の形態11の動きベクトル検出装置では、探索実行可否決定部1001により、第2のアドレス生成部1005に対して、前回の探索で検出された動きベクトル位置の画素データを整数精度動きベクトル検出部106をス

ルーして外部に出力するためのパスであるスループスを与える旨の指示が出力され、第2のアドレス生成部1005は、第1の記憶部にスループスを与え、格納されている参照ブロックの画素データを整数精度動きベクトル検出部106をスルーして外部装置に出力する。

【0203】

このように、前回の動きベクトル探索で検出された動きベクトルを用いる場合であっても、第2のアドレス生成部1005によりスループスを与えることにより、動きベクトル検出処理以降で用いる、前回の探索で検出された動きベクトル位置で示されている画素データを外部装置に出力することができる。

【0204】

なお、本発明の実施の形態11による動きベクトル検出装置では、動きベクトルを検出する手段として、整数性どの動きベクトルを検出する整数精度動きベクトル検出部106のみを有するものについて説明したが、これに限定されず、少数精度の動きベクトルを検出するための、少数精度の画素データを生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第2の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とをさらに具備するものであってもよい。

【0205】

(実施の形態12)

また、本発明の動きベクトル検出装置は、前記実施の形態1から実施の形態11以外にも、前記実施の形態1から実施の形態11の内の少なくとも2つ以上を組み合わせたものであってもよく、前記実施の形態1から実施の形態11のそれぞれの効果と同様の効果を得ることができる。

【0206】

【発明の効果】

本発明の請求項1、または請求項24に記載の動きベクトル検出装置、及び方法によれば、画像イメージにおける画素並びに対して市松模様に画素データの位置をサブサンプリングすることにより、マクロブロックを構成する全ての画素に対して絶対差分誤差和を求める場合と比較して、比較的高圧縮の場合には同等程

度の精度を得ることができ、かつ絶対差分誤差和を求めるために必要とする計算量を、半分にすることができ、処理速度の向上や消費電力の削減につながる。

【 0 2 0 7 】

また、本発明の請求項 2、または請求項 2 5 に記載の動きベクトル検出装置、及び方法によれば、画像イメージにおける画素並びに対して市松模様画素データの位置をサブサンプリングすることにより、マクロブロックを構成する全ての画素に対して絶対差分誤差和を求める場合と比較して、比較的高圧縮の場合には同等程度の精度を得ることができ、かつ絶対差分誤差和を求めるために必要とする計算量を、半分にすることができ、処理速度の向上や消費電力の削減につながる。

【 0 2 0 8 】

また、本発明の請求項 3 または請求項 2 6 に記載の動きベクトル検出装置、及び方法によれば、整数精度動きベクトル検出部 2 0 6 が閾値から絶対差分誤差値を順次減算し、閾値の値が負となった時点で、処理対象ブロックに対する最小の絶対差分誤差和となる参照ブロックの候補から除外し、途中で計算を中止することにより、処理速度の向上や消費電力の削減を図ることができる。

【 0 2 0 9 】

また、本発明の請求項 4、または請求項 2 7 に記載の動きベクトル検出装置、及び方法によれば、既に探索を行った参照ブロックに対して探索履歴を残すことにより、同じ参照ブロックに対して 2 重の探索を行うことを防止することができる。これにより、処理速度の向上を可能にするとともに、消費電力を削減することができる。

【 0 2 1 0 】

また、本発明の請求項 5、または請求項 2 8 に記載の動きベクトル検出装置、及び方法によれば、既に探索を行った参照ブロックに対して探索履歴を残すことにより、同じ参照ブロックに対して 2 重の探索を行うことを防止することができる。これにより、処理速度の向上を可能にするとともに、消費電力を削減することができる。

【 0 2 1 1 】

また、本発明の請求項 6、または請求項 29 に記載の動きベクトル検出装置、及び方法によれば、画像データ上の参照領域データの位置に応じて、第 1 のアドレス生成部が第 1 の記憶部に出力する参照領域データの転送ルールを変更することにより、第 1 の記憶部に転送するデータ量を必要最小限にすることができ、処理速度の向上、及び消費電力を削減することができる。

【 0 2 1 2 】

また、本発明の請求項 7、または請求項 30 に記載の動きベクトル検出装置、及び方法によれば、第 1 の記憶手段が保持する 2 つのバッファメモリの内、データの読み込みが行われる 1 のバッファメモリに対して、読み出しが完了した他の 1 のバッファメモリから有効なデータを一部コピーすることにより、第 1 の記憶部に新たに読み込むデータの量を軽減することができ、処理速度の向上が可能となるとともに、消費電力の軽減につながる。

【 0 2 1 3 】

また、本発明の請求項 8、または請求項 31 に記載の動きベクトル検出装置、及び方法によれば、整数精度の動きベクトルを検出する動きベクトル検出装置において、前記請求項 1 から請求項 7 と同様の効果を得ることができる。

【 0 2 1 4 】

また、本発明の請求項 9、または請求項 32 に記載の動きベクトル検出装置、及び方法によれば、少数精度の動きベクトルを検出する動きベクトル検出装置において、前記請求項 1 から請求項 7 と同様の効果を得ることができる。

【 0 2 1 5 】

また、本発明の請求項 10、または請求項 33 に記載の動きベクトル検出装置、及び方法によれば、整数精度の動きベクトル、及び少数精度の動きベクトルを検出可能な動きベクトル検出装置において、前記請求項 1 から請求項 7 と同様の効果を得ることができる。

【 0 2 1 6 】

また、本発明の請求項 11、または請求項 34 に記載の動きベクトル検出装置、及び方法によれば、画素の補間位置によって画像イメージに対するデータの読み出し方向を変更することにより、補間画素生成部の構成を変更することなく縦

方向、または横方向に特定距離ずらした少数精度の画素データを高速に、且つ同タイミングで生成することが可能となり、処理速度向上とともに消費電力の削減を図ることが出来る。

【 0 2 1 7 】

また、本発明の請求項 1 2、または請求項 3 5 に記載の動きベクトル検出装置、及び方法によれば、画素の補間位置によって画像イメージに対するデータの読み出し方向を水平または垂直の何れかに変更することにより、補間画素生成部の構成を変更することなく縦方向、または横方向に特定距離をずらした少数精度の画素データを高速に、且つ同タイミングで生成することが可能となり、処理速度向上とともに消費電力の削減を図ることが出来る。

【 0 2 1 8 】

また、本発明の請求項 1 3 に記載の動きベクトル検出装置によれば、縦、または横方向に特定距離ずらした少数精度の画素データを生成する際にも、少なくともシフトレジスタ群が 2 個のシフトレジスタを有することにより、高速に、且つ同タイミングで少数精度の画素データを生成することが可能となり、データ転送量の削減、処理速度向上とともに消費電力の削減を図ることが出来る。

【 0 2 1 9 】

また、本発明の請求項 1 4 に記載の動きベクトル検出装置によれば、斜め方向に特定距離ずらした少数精度の画素データを生成する際にも、少なくともシフトレジスタ群が（特定方向に読み出す画素数 + 2）個のシフトレジスタを有することにより、高速に、且つ同タイミングで少数精度の画素データを生成することが可能となり、データ転送量の削減、処理速度向上とともに消費電力の削減を図ることが出来る。

【 0 2 2 0 】

また、本発明の請求項 1 5、または請求項 3 6 に記載の動きベクトル検出装置、及び方法によれば、少数精度の動きベクトルの検出に用いる少数精度の補間画素を生成するために第 1 の記憶部内に記憶された参照ブロックを構成する全画素データを読み出した場合であっても、上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、右斜め下と左斜め下等に半画素分ずれ

た2つ半画素精度処理対象ブロックの絶対差分誤差和の演算処理を並列に実行することにより、補間画素生成部の処理量を軽減することができるとともに、第1の記憶部から読み出すデータ量を軽減することができる。そのため、動きベクトル検出装置の処理速度を向上させることができるとともに、消費電力の削減につながる。

【0221】

また、本発明の請求項16、または請求項37に記載の動きベクトル検出装置、及び方法によれば、整数精度の動きベクトルを検出する整数精度動きベクトル検出部をさらに備えることにより、前記請求項11乃至請求項13の何れかに記載の動きベクトル検出装置において、整数精度の動きベクトル探索を行うことができる。

【0222】

また、本発明の請求項17、または請求項38に記載の動きベクトル検出装置、及び方法によれば、探索可否条件検出部が探索可否条件保持部から探索可否条件を検出し、当該探索可否条件に基づき第2のアドレス生成部が第1の記憶部から出力する画素データのアドレスを生成することにより、有効な探索を行なうことができる領域の画素アドレスを正確に生成することができ、無駄な探索処理を行なうことなく高速に処理を行うことができる。

【0223】

また、本発明の請求項18、または請求項39に記載の動きベクトル検出装置、及び方法によれば、整数精度動きベクトル検出に用いられる探索可否条件保持部と探索可否条件検出部を、少数精度動きベクトル検出にも併用することにより、回路規模の縮小を図るとともに、製造コスト削減につながる。

【0224】

また、本発明の請求項19、または請求項40に記載の動きベクトル検出装置、及び方法によれば、前記第2のアドレス生成部が整数精度動きベクトル検出時に前記探索可否条件保持部と、前記探索可否条件検出部とを用いて、探索の可否を判断すると共に、当該探索可否結果を用いて少数精度動きベクトル検出時の探索の可否を判断することにより、少数精度の動きベクトルの検出時に改めて探索

前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップとを有し、

前記第 1 の記憶ステップの参照領域データの読み込み、及び読み出しを制御する記憶データ制御ステップとを具備し、

前記記憶データ制御ステップは、前記第 1 の記憶ステップが用いる 2 つのバッファメモリの内、データの読み込みが行われる一のバッファメモリに対して、読み出しが完了した他の一のバッファメモリから有効なデータを一部コピーし、前記第 1 の記憶ステップに新たに書き込むデータ量を削減することを特徴とする動きベクトル検出方法。

【請求項 3 1】 請求項 2 4 乃至請求項 3 0 のいずれかに記載の動きベクトル検出方法において、

前記動きベクトル検出ステップは、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップであることを特徴とする動きベクトル検出方法。

【請求項 3 2】 請求項 2 4 乃至請求項 3 0 のいずれかに記載の動きベクトル検出方法において、

前記動きベクトル検出ステップは、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとからなることを特徴とする動きベクトル検出方法。

【請求項 3 3】 請求項 2 4 乃至請求項 3 0 のいずれかに記載の動きベクトル検出方法において、

前記動きベクトル検出ステップは、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検

出ステップと、

前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとからなることを特徴とする動きベクトル検出方法。

【請求項 3 4】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、

前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、

前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、

前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップと、

前記第 1 の記憶ステップにより保持された参照領域データの読み出し方向決定し、前記第 2 のアドレス生成ステップに出力する読み出し方向決定ステップとを有し、

前記第 2 のアドレス生成ステップは、前記読み出し方向決定ステップにより決定された読み出し方向に基づいて、前記参照領域データから出力する画素データのアドレスを生成することを特徴とする動きベクトル検出方法。

【請求項 3 5】 請求項 3 4 に記載の動きベクトル検出方法において、

前記読み出し方向決定ステップは、第 1 の記憶ステップが保持する画像データに対して水平、もしくは垂直方向にデータを読み出す旨の決定を行うことを特徴とする動きベクトル検出方法。

【請求項 3 6】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、

前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、

前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、

前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有し、

前記少数精度動きベクトル検出ステップが、前記補間画素生成ステップから出力された複数の画素データにより構成される上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、または右斜め下と左斜め下の何れかに位置する少数精度の参照ブロックに対して少数精度の動きベクトルの検出を並列に実行することを特徴とする動きベクトル検出方法。

【請求項 3 7】 請求項 3 4 乃至請求項 3 6 のいずれかに記載の動きベクトル検出方法において、

さらに、前記参照領域データ、及び処理対象ブロックのデータを用いて整数精

度の動きベクトルを検出する整数精度動きベクトル検出ステップを有することを特徴とする動きベクトル検出方法。

【請求項 3 8】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、

前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、

前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップと、

探索を行うことができる位置か否を判断するための条件である探索可否条件を保持する探索可否条件保持ステップと、

前記参照領域データの有効領域を示す領域判定コードの基づいて、前記探索可否条件保持ステップから探索可否条件を検出し、前記第 2 のアドレス生成ステップに出力する探索可否条件検出ステップとを具備し、

前記第 2 のアドレス生成ステップは、前記探索可否条件検出ステップにより検出された探索可否条件を用いて、前記参照領域データから出力する画素データのアドレスを生成することを特徴とする動きベクトル検出方法。

【請求項 3 9】 請求項 3 8 に記載の動きベクトル検出方法において、

さらに、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステ

ップとを有し、

前記第2のアドレス生成ステップは、前記探索可否条件保持ステップと、前記探索可否条件検出ステップとを整数精度動きベクトル検出時、及び少数精度動きベクトル検出時に、併用して用いることを特徴とする動きベクトル検出方法。

【請求項40】 請求項38に記載の動きベクトル検出方法において、

さらに、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有し、

前記第2のアドレス生成ステップは、整数精度動きベクトル検出時に前記探索可否条件保持ステップと、前記探索可否条件検出ステップとを用いて、探索の可否を判断すると共に、当該探索可否結果を用いて少数精度動きベクトル検出時の探索の可否を判断することを特徴とする動きベクトル検出方法。

【請求項41】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、

前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、

前記第1のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第2の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第2のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出ステップと、

前回の動きベクトル探索で検出された動きベクトルを保持するとともに、前記

整数精度動きベクトル検出ステップにより算出された絶対差分誤差値と特定の閾値とを比較することにより、動きベクトル探索の実行の可否を決定する探索実行可否決定ステップを具備し、

前記第 2 のアドレス生成手ステップは、前記探索実行可否決定ステップが保持する前回の動きベクトル探索で検出された動きベクトルを用いて、前記参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成することを特徴とする動きベクトル検出方法。

【請求項 4 2】 請求項 4 1 記載の動きベクトル検出方法において、

前記第 2 のアドレス生成ステップは、さらに、前記第 1 の記憶ステップにより保持された参照領域データから出力されたデータを演算結果として出力することの特徴とする動きベクトル検出方法。

【請求項 4 3】 請求項 4 1、又は請求項 4 2 に記載の動きベクトル検出方法において、

さらに、前記参照領域データを構成する画素データを入力とし、少数精度の画素データを生成する補間画素生成ステップと、

前記補間画素生成ステップから出力されたデータ、及び処理対象ブロックのデータを用いて少数精度の動きベクトルを検出する少数精度動きベクトル検出ステップとを有することを特徴とする動きベクトル検出方法。

【請求項 4 4】 請求項 2 4 乃至請求項 4 3 のいずれかに記載の動きベクトル検出方法の少なくとも 2 つ以上の組み合わせであることを特徴とする動きベクトル検出方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像圧縮処理に関するものであり、特に、画像通信を目的とした低ビットレート向けの規格である H.261、H.263、MPEG4 等に適用可能な動きベクトル検出処理に関するものである。

【0 0 0 2】

【従来技術】

現在、H.261、H.263、MPEG4等、画像通信を目的とした低ビットレート向けの規格では、フレーム間の相互を用いた圧縮のために動きベクトルの検出を行う。

この動きベクトル検出処理は、一般に、現画像内の複数の画素からなるブロックを処理対象とし、この処理対象ブロックが、当該現画像に対する時間的に前の画像のどの位置に存在するかをいわゆるブロックマッチング法により調べ、画像の動きの方向、及び量を示す動きベクトルを検出するものである。

【0003】

図31は、従来の一般的な動きベクトル検出処理を説明するための説明図である。図において、処理対象ブロックTとは、 $N \times N$ 画素からなる現画像内の符号化の対象となるブロックであり、参照領域とは、処理対象ブロックTと同一空間位置近傍で、且つ当該処理対象ブロックよりも大きい、 $M \times M$ 画素からなる前画像の探索領域である。また、参照ブロックIとは、 $N \times N$ 画素からなる前記参照領域上の任意の位置におけるブロックである。

【0004】

一般的な、ブロックマッチング法による動きベクトル検出は、処理対象ブロックTと、参照領域内の参照ブロックIとの比較を行い、処理対象ブロックTと最もマッチングの取れている参照ブロックIの位置を求める。その後、前記処理対象ブロックTの位置と、前記参照領域内の最もマッチングが取れている参照ブロックIの位置との間の距離、及び方向を動きベクトルとして検出する。なお、処理対象ブロックTと参照ブロックIとのマッチングは、以下に示す数式(1)に示すような、ブロックを構成する画素が有する画素値の差分の絶対値の和である絶対差分誤差和を用いることにより行われる。

【0005】

$$\text{絶対差分誤差和} = \sum | \text{Ref}(Mx + x, My + y) - \text{Src}(x, y) | \cdots (1)$$

ここで、数式(1)の式中の $\text{Ref}(Mx + x, My + y)$ は、参照ブロックの画素位置を示し、 $\text{Src}(x, y)$ は処理対象ブロックの画素位置を表わす。

また、より正確な動きベクトルを検出したい場合には、参照領域の画素データ間の位置における画素値を補間処理を行うことにより求め、当該位置について処理対象ブロックとのマッチングを行う場合もある。

【 0 0 0 6 】

【発明が解決しようとする課題】

前述した絶対差分誤差和の計算は、処理対象ブロックを構成する $N \times N \times Y$ 画素の画素値の差分の絶対値の和であり、同様の処理を参照領域内のすべての参照ブロックに行うことは、膨大な計算量が必要となる。

【 0 0 0 7 】

通常、ある探索位置における絶対差分誤差和の値が比較的大きな場合には、絶対差分誤差和の計算途中で既に最小の絶対差分誤差和の値を超えてしまう。そのため、当該探索領域の位置を動きベクトルを検出する探索位置の候補から除外できるにもかかわらず、無駄な演算を実行していたため、演算速度や消費電力の点においてロスが発生していた。

【 0 0 0 8 】

また、動きベクトルは、一般的に動きベクトルの探索を行った処理対象ブロックの周辺では、ほとんど変化が見られないことが多く、特に、高解像度の画像が要求されない場合においても、周辺ブロックに対しても同様に動きベクトルの探索が行われており、演算速度や消費電力の点においてロスが発生していた。

【 0 0 0 9 】

一方、このロスを解消する為に、専用演算機構を用いて演算する前に、汎用演算機構で変化の有無を調べてから探索を実行するか否かを決定する場合があるが、この場合は、汎用演算部に負荷を負わせてしまう。

【 0 0 1 0 】

また、一方、この負荷を解消するために、一回のみ絶対差分誤差和を算出する機能を専用演算部に持たせた場合、もし、変化が無く探索の必要が無いときは、改めて専用演算機構を動作させ、その結果を得るのは、演算速度、消費電力の点でロスが発生していた。

【 0 0 1 1 】

また、処理対象ブロックに対する参照ブロックの探索は、例えば、処理対象ブロックの周囲参照ブロックに対して絶対差分誤差和が最小となる方向に進めていく場合、一旦、探索した参照ブロックに対して、2重に探索する場合は有り、演

算速度や消費電力の点においてロスが発生していた。

【 0 0 1 2 】

また、絶対差分誤差和は、ブロックを構成する全ての画素に対して、その画素値の差分の絶対値の和を求めることにより算出されるため、高解像度の映像が要求されない場合であっても必要以上の演算を行い、演算速度や消費電力の点においてロスが発生する。

【 0 0 1 3 】

また、このロスを解消するために、ブロックを構成する画素に対して、一列置き等にサブサンプリングを行い、演算量を軽減するものもあるが、この場合には、動きベクトル検出のために使用される画素データが読込んだ画素データのうちの一部となるため、せっかく読込んだ、動きベクトル検出に使用されない他の画素データを破棄することになり、消費電力の点でロスが発生する。

【 0 0 1 4 】

また、処理対象ブロックの位置が画像データの有効領域範囲の端の位置に来たとき、参照領域内には、動きベクトル探索を実行できない領域が混在しているため、この領域にデータを転送しても探索に活用されずに、消費電力の点でロスが発生していた。

【 0 0 1 5 】

また、近隣の処理対象ブロックの参照領域同士には、オーバーラップする領域が存在するため、各処理ブロックの探索毎に参照領域全体の画素データを本専用演算部に読み込むのは、演算速度、消費電力の点でロスが発生していた。

【 0 0 1 6 】

また、処理ブロックの位置が画像データの有効領域範囲の端に来たとき、動きベクトルの位置によっては、演算に使用する参照領域の画像データが有効領域範囲内から出てしまい、動きベクトル探索ができないという問題点を有していた。

【 0 0 1 7 】

また、補間処理を行い参照ブロックを構成する画素間の位置における画素値を求める場合には、一般に、参照ブロックを構成する画素データの読み出しを一方方向の読み出し方向をもって、読み出していたため、たとえば、横方向に画素デー

タを読み出したときには、縦方向の画素間の位置における画素値を求めるために、縦方向の補間処理に必要な画素が揃うまで、数サイクル待つことが必要となり、演算速度の点でロスが発生していた。

【 0 0 1 8 】

本発明は、前記問題点に鑑みてなされたものであり、動きベクトル検出処理の高速化、低電力化を図ることができる動きベクトル検出装置を提供することを目的とする。

【 0 0 1 9 】

【課題を解決するための手段】

前述した問題点を解決するために、本発明の請求項 1 に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、前記第 1 の記憶部より出力されたデータ、及び第 2 の記憶部より出力されたデータを用いて動きベクトルを検出する動きベクトル検出部とを具備し、前記第 2 のアドレス生成部は、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とするものである。

【 0 0 2 0 】

また、本発明の請求項 2 に記載の動きベクトル検出装置は、請求項 1 に記載の動きベクトル検出装置において、前記第 2 のアドレス生成部は、横方向の画素アドレスをカウントするロウカウンタと、縦方向のアドレスをカウントするカラムカウンタと、画素データのアドレスを保持するアドレス保持部とを有し、前記カ

ラムカウンタのカウント値のLSB（最下位ビット）の反転値を画素データのアドレスに加算することにより、前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とするものである。

【0021】

また、本発明の請求項3に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、前記第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータを用いて動きベクトルを検出する動きベクトル検出部とを具備し、前記動きベクトル検出部は、参照ブロックの画素データと処理対象ブロックの画素データとの差分の絶対値を閾値から順次減算し、減算結果が負になった時点で、その位置における絶対差分誤差和の計算を中止することを特徴とするものである。

【0022】

また、本発明の請求項4に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、前記

第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータを用いて動きベクトルを検出する動きベクトル検出部と、既に探索が行われた参照領域データ内の参照ブロックの探索履歴を保持する探索履歴保持部とを具備し、前記探索履歴保持部により保持された探索履歴が存在する参照ブロックに対しては、探索実行をスキップすることを特徴とするものである。

【0023】

また、本発明の請求項5に記載の動きベクトル検出装置は、請求項4に記載の動きベクトル検出装置において、前記探索履歴保持部は、探索対象の位置、及びその周辺位置8ヶ所の参照ブロックに対する探索の有無を探索履歴として保持していることを特徴とするものである。

【0024】

また、本発明の請求項6に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、前記第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータを用いて動きベクトルを検出する動きベクトル検出部と、前記第1のアドレス生成部が前記第1の記憶部に出力する参照領域データのアドレスを生成するためのルールである転送ルールを保持する転送ルール保持部と、画像データの有効領域を示す領域判定コードに基づいて、前記転送ルール保持部から前記転送ルールを検出し、前記第1のアドレス生成部に出力する転送ルール検出部とを具備し、前記第1のアドレス生成部は、前記転送ルール検出部から出力された前記転送ルールに基づいて、前記第1の記憶部に出力する参照領域データのアドレスを生成することを特徴とするものである。

【 0 0 2 5 】

また、本発明の請求項 7 に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、データの読み込み、読み出しを同時に行うダブルバッファ構成をしているメモリであって、前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータから動きベクトルを検出する動きベクトル検出部と、前記第 1 の記憶部に対する参照領域データの読み込み、及び読み出しを制御する記憶データ制御部とを具備し、前記記憶データ制御部は、前記第 1 の記憶部が保持する 2 つのバッファメモリの内、データの読み込みが行われる一のバッファメモリに対して、読み出しが完了した他の一のバッファメモリから有効なデータを一部コピーし、前記第 1 の記憶部に新たに書き込むデータ量を削減することを特徴とするものである。

【 0 0 2 6 】

また、本発明の請求項 8 に記載の動きベクトル検出装置は、請求項 1 乃至請求項 7 のいずれかに記載の動きベクトル検出装置において、前記動きベクトル検出部は、前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部であることを特徴とするものである。

【 0 0 2 7 】

また、本発明の請求項 9 に記載の動きベクトル検出装置は、請求項 1 乃至請求項 7 のいずれかに記載の動きベクトル検出装置において、前記動きベクトル検出部は、前記第 1 の記憶部からの出力データを入力とし、少数精度の画素データを

生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第2の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とからなることを特徴とするものである。

【 0 0 2 8 】

また、本発明の請求項10に記載の動きベクトル検出装置は、請求項1乃至請求項7のいずれかに記載の動きベクトル検出装置において、前記動きベクトル検出部は、前記第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部と、前記第1の記憶部からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第2の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とからなることを特徴とするものである。

【 0 0 2 9 】

また、本発明の請求項11に記載の動きベクトル検出装置は、現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、前記第1の記憶部からの出力データを入力とし、少数精度画素のデータを生成する補間画素生成部と、前記補間画素生成部から出力されたデータ、及び第2の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部と、前記第1の記憶部が保持する参照領域データの読み出し方向決定し、前記第2のアドレス生成部に出力する読み出し方向決定部とを具備し、前記第2のアドレス生成部は、前記読み出し方向決定部により決定された読み出し方向に基づいて、第1の記憶部から出力する画素データのアドレスを生成するこ

装置において、

前記動きベクトル検出部は、前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部であることを特徴とする動きベクトル検出装置。

【請求項 9】 請求項 1 乃至請求項 7 のいずれかに記載の動きベクトル検出装置において、

前記動きベクトル検出部は、前記第 1 の記憶部からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第 2 の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とからなることを特徴とする動きベクトル検出装置。

【請求項 10】 請求項 1 乃至請求項 7 のいずれかに記載の動きベクトル検出装置において、

前記動きベクトル検出部は、前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部と、

前記第 1 の記憶部からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第 2 の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とからなることを特徴とする動きベクトル検出装置。

【請求項 11】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部からの出力データを入力とし、少数精度画素のデータを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第 2 の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部と、

前記第 1 の記憶部が保持する参照領域データの読み出し方向決定し、前記第 2 のアドレス生成部に出力する読み出し方向決定部とを具備し、

前記第 2 のアドレス生成部は、前記読み出し方向決定部により決定された読み出し方向に基づいて、第 1 の記憶部から出力する画素データのアドレスを生成することを特徴とする動きベクトル検出装置。

【請求項 1 2】 請求項 1 1 に記載の動きベクトル検出装置において、

前記読み出し方向決定部は、第 1 の記憶部に記憶された画像データに対して水平、もしくは垂直方向にデータを読み出す旨の決定を行うことを特徴とする動きベクトル検出装置。

【請求項 1 3】 請求項 1 1、または請求項 1 2 に記載の動きベクトル検出装置において、

前記補間画素生成部は、少なくとも、2 個のシフトレジスタからなるシフトレジスタ群と、

前記シフトレジスタ群が保持する画素データを用いて補間処理を行う補間処理部とを有することを特徴とする動きベクトル検出装置。

【請求項 1 4】 請求項 1 1、または請求項 1 2 に記載の動きベクトル検出装置において、

前記補間画素生成部は、少なくとも、(特定方向に読み出す画素数+2) 個のシフトレジスタからなるシフトレジスタ群と、

前記シフトレジスタ群が保持する画素データを用いて補間処理を行う補間処理部とを有することを特徴とする動きベクトル検出装置。

【請求項 1 5】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部からの出力データを入力とし、少数精度画素のデータを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第 2 の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備し、

前記少数精度動きベクトル検出部が、前記補間画素生成部から出力された複数の画素データにより構成される上と下、左と右、右斜め上と右斜め下、左斜め上と左斜め下、右斜め上と左斜め上、または右斜め下と左斜め下の何れかに位置する少数精度の参照ブロックに対して少数精度の動きベクトルの検出を並列に実行することを特徴とする動きベクトル検出装置。

【請求項 1 6】 請求項 1 1 乃至請求項 1 5 のいずれかに記載の動きベクトル検出装置において、

さらに、前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部を具備することを特徴とする動きベクトル検出装置。

【請求項 1 7】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素か

らなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成部と、

前記第1のアドレス生成部により指示された参照領域データを保持する第1の記憶部と、

前記第1のアドレス生成部により指示された処理対象ブロックのデータを保持する第2の記憶部と、

前記第1の記憶部、及び前記第2の記憶部から出力するデータのアドレスを生成する第2のアドレス生成部と、

前記第1の記憶部から出力されたデータ、及び第2の記憶部から出力されたデータより整数精度の動きベクトルを検出する整数精度動きベクトル検出部と、

探索を行うことができる位置か否を判断するための条件である探索可否条件を保持する探索可否条件保持部と、

前記参照領域データの有効領域を示す領域判定コードの基づいて、前記探索可否条件保持部から探索可否条件を検出し、前記第2のアドレス生成部に出力する探索可否条件検出部とを具備し、

前記第2のアドレス生成部は、前記探索可否条件検出部により検出された探索可否条件を用いて、前記第1の記憶部から出力するデータのアドレスを生成することを特徴とする動きベクトル検出装置。

【請求項18】 請求項17に記載の動きベクトル検出装置において、

さらに、前記第1の記憶手段からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第2の記憶手段から出力されたデータから、少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備し、

前記第2のアドレス生成部は、前記探索可否条件保持部と、前記探索可否条件検出部とを整数精度動きベクトル検出時、及び少数精度動きベクトル検出時に、併用して用いることを特徴とする動きベクトル検出装置。

【請求項 1 9】 請求項 1 7 に記載の動きベクトル検出装置において、
さらに、前記第 1 の記憶手段からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第 2 の記憶手段から出力されたデータから、少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備し、

前記第 2 のアドレス生成部は、整数精度動きベクトル検出時に前記探索可否条件保持部と、前記探索可否条件検出部とを用いて、探索の可否を判断すると共に、当該探索可否結果を用いて少数精度動きベクトル検出時の探索の可否を判断することを特徴とする動きベクトル検出装置。

【請求項 2 0】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出装置において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成部と、

前記第 1 のアドレス生成部により指示された参照領域データを保持する第 1 の記憶部と、

前記第 1 のアドレス生成部により指示された処理対象ブロックのデータを保持する第 2 の記憶部と、

前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成する第 2 のアドレス生成部と、

前記第 1 の記憶部から出力されたデータ、及び第 2 の記憶部から出力されたデータを用いて整数精度の動きベクトルを検出する整数精度動きベクトル検出部と

、
前回の動きベクトル探索で検出された動きベクトルを保持するとともに、前記整数精度動きベクトル検出部により算出された絶対差分誤差値と特定の閾値とを比較することにより、動きベクトル探索の実行の可否を決定する探索実行可否決定部とを具備し、

前記第 2 のアドレス生成手段は、前記探索実行可否決定部が保持する前回の動きベクトル探索で検出された動きベクトルを用いて、前記第 1 の記憶部、及び前記第 2 の記憶部から出力するデータのアドレスを生成することを特徴とする動きベクトル検出装置。

【請求項 2 1】 請求項 2 0 記載の動きベクトル検出装置において、

前記第 2 のアドレス生成部は、さらに、前記第 1 の記憶手段より出力されたデータを本装置の演算結果として出力することを特徴とする動きベクトル検出装置。

【請求項 2 2】 請求項 2 0、又は請求項 2 1 に記載の動きベクトル検出装置において、

さらに、前記第 1 の記憶部からの出力データを入力とし、少数精度の画素データを生成する補間画素生成部と、

前記補間画素生成部から出力されたデータ、及び第 2 の記憶部から出力されたデータより少数精度の動きベクトルを検出する少数精度動きベクトル検出部とを具備することを特徴とする動きベクトル検出装置。

【請求項 2 3】 請求項 1 乃至請求項 2 2 のいずれかに記載の動きベクトル検出装置の少なくとも 2 つ以上の組み合わせであることを特徴とする動きベクトル検出装置。

【請求項 2 4】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、

前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、

前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する

画素データのアドレスを生成する第2のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップとを有し、

前記第2のアドレス生成ステップは、前記参照領域データ、及び前記処理対象ブロックのデータから出力するデータのアドレスを前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とする動きベクトル検出方法。

【請求項25】 請求項24に記載の動きベクトル検出方法において、

前記第2のアドレス生成ステップは、横方向の画素アドレスをカウントする第1のカウントステップと、

縦方向のアドレスをカウントする第2のカウントステップと、

画素データのアドレスを保持するアドレス保持ステップとを有し、

前記第2のカウントステップのカウント値のLSB（最下位ビット）の反転値を画素データのアドレスに加算することにより、前記参照ブロック及び前記処理対象ブロックの画像イメージに対する画素並びに対して市松模様となるようにサブサンプリングすることを特徴とする動きベクトル検出方法。

【請求項26】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、

前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、

前記第1のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第2の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第2のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを

検出する動きベクトル検出ステップとを有し、

前記動きベクトル検出ステップは、参照ブロックの画素データと処理対象ブロックの画素データとの差分の絶対値を閾値から順次減算し、減算結果が負になった時点で、その位置における絶対差分誤差和の計算を中止することを特徴とする動きベクトル検出方法。

【請求項 2 7】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第 1 のアドレス生成ステップと、

前記第 1 のアドレス生成ステップにより指示された参照領域データを保持する第 1 の記憶ステップと、

前記第 1 のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第 2 の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第 2 のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップと、

既に探索が行われた参照領域データ内の参照ブロックの探索履歴を保持する探索履歴保持ステップとを有し、

前記探索履歴保持ステップにより保持された探索履歴が存在する参照ブロックに対しては、探索実行をスキップすることを特徴とする動きベクトル検出方法。

【請求項 2 8】 請求項 2 7 に記載の動きベクトル検出方法において、

前記探索履歴保持ステップは、探索対象の位置、及びその周辺位置 8 ヶ所の参照ブロックに対する探索の有無を探索履歴として保持していることを特徴とする動きベクトル検出方法。

【請求項 2 9】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画

からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、

前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、

前記第1のアドレス生成ステップにより指示された処理対象ブロックのデータを保持する第2の記憶ステップと、

前記保持された参照領域データ、及び処理対象ブロックのデータから出力する画素データのアドレスを生成する第2のアドレス生成ステップと、

前記参照領域データ、及び処理対象ブロックのデータを用いて動きベクトルを検出する動きベクトル検出ステップと、

前記第1のアドレス生成ステップが参照領域データのアドレスを生成するためのルールである転送ルールを保持する転送ルール保持ステップと、

画像データの有効領域を示す領域判定コードに基づいて、前記転送ルール保持ステップから前記転送ルールを検出し、前記第1のアドレス生成ステップに出力する転送ルール検出ステップとを有し、

前記第1のアドレス生成ステップは、前記転送ルール検出ステップにより検出された前記転送ルールに基づいて、参照領域データのアドレスを生成することを特徴とする動きベクトル検出方法。

【請求項30】 現画像内の複数の画素からなる処理対象ブロックと、当該現画像に対して時間的に前となる前画像の所定の参照領域データ内の複数の画素からなる参照ブロックとの間で、ブロックマッチングを行い動きベクトルを検出する動きベクトル検出方法において、

前記処理対象ブロック、及び前記参照領域データのアドレスを生成する第1のアドレス生成ステップと、

データの読み込み、読み出しを同時に行うダブルバッファ構成をしているメモリを用いて、前記第1のアドレス生成ステップにより指示された参照領域データを保持する第1の記憶ステップと、

可否条件の検出を行うことなく、探索の可否を判断することができ、処理速度の向上を図ることができる。また、整数精度の動きベクトル検出時の探索結果を少数精度動きベクトル検出時にも用いるため、回路規模の縮小を図るとともに、製造コスト削減につながる。

【0 2 2 5】

また、本発明の請求項 2 0、または請求項 4 1 に記載の動きベクトル検出装置、及び方法によれば、動きベクトルが検出される可能性の高い位置（たとえば、直前に探索したブロックの動きベクトルと同位置）の参照ブロックに対してブロックマッチングを行い、そのマッチング結果（絶対差分誤差和）により、その後の探索実行の可否を判断することにより、処理速度の向上や消費電力の削減を図ることができる。

【0 2 2 6】

また、本発明の請求項 2 1、または請求項 4 2 に記載の動きベクトル検出装置、及び方法によれば、前回の動きベクトル探索で検出された動きベクトルを用いる場合であっても、第 2 のアドレス生成部は、前記第 1 の記憶手段より出力されたデータを本装置の演算結果として出力することにより、前回の探索で検出された動きベクトル位置で示されている画素データを外部装置に出力することができる。

【0 2 2 7】

また、本発明の請求項 2 2、または請求項 4 3 に記載の動きベクトル検出装置、及び方法によれば、前記請求項 2 0、又は請求項 2 1 の効果に加えて、さらに、少数精度の動きベクトルを検出することができる。

【0 2 2 8】

また、本発明の請求項 2 3、または請求項 4 4 に記載の動きベクトル検出装置、及び方法によれば、前記請求項 1 から請求項 2 2 の何れかの効果を得ることができ、動きベクトル検出処理の高速化、低電力化を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 による動きベクトル検出装置の構成を示すブロック図で

ある。

【図 2】

本発明の実施の形態 1 による第 2 のアドレス生成部の構成を示すブロック図である。

【図 3】

本発明の実施の形態 1 による第 2 のアドレス生成部がサブサンプリングを行うマクロブロックの一例を示す図である

【図 4】

本発明の実施の形態 1 による第 2 のアドレス生成部の画素データのアドレス生成処理を説明するためのフローチャートである。

【図 5】

本発明の実施の形態 2 による動きベクトル検出装置の構成を示すブロック図である。

【図 6】

本発明の実施の形態 2 による動きベクトル検出部の構成を示すブロック図である。

【図 7】

本発明の実施の形態 2 による整数精度動きベクトル検出部の動作を説明するためのフローチャートである。

【図 8】

本発明の実施の形態 3 による動きベクトル検出装置の構成を示すブロック図である。

【図 9】

本発明の実施の形態 3 における動きベクトル検出装置による動きベクトル探索処理の一例を説明するための説明図である。

【図 1 0】

本発明の実施の形態 3 による探索履歴保持部内のデータ構造を示す図である。

【図 1 1】

本発明の実施の形態 4 による動きベクトル検出装置の構成を示すブロック図で

ある。

【図 1 2】

領域判定コードを説明するための説明図である。

【図 1 3】

本発明の実施の形態 4 による転送ルール保持部内に格納されている領域判定コードと転送ルールの一例を示す図である。

【図 1 4】

参照領域データの画素アドレスの一例を示す図である。

【図 1 5】

本発明の実施の形態 5 による動きベクトル検出装置の構成を示すブロック図である。

【図 1 6】

本発明の実施の形態 5 による第 1 の記憶部のメモリ構造を説明するための説明図である。

【図 1 7】

本発明の実施の形態 5 による第 1 の記憶部内のデータ処理を説明するための説明図である。

【図 1 8】

領域判定コードと、第 1 の記憶部が新たに読込むデータ、及び第 1 の記憶部内でコピーするデータとの対応を示す図である。

【図 1 9】

本発明の実施の形態 6 による動きベクトル検出装置の構成を示すブロック図である。

【図 2 0】

本発明の実施の形態 6 による補間画素生成部を説明するための説明図である。

【図 2 1】

本発明の実施の形態 6 による補間画素生成部による半画素データの生成を説明するための説明図である。

【図 2 2】

本発明の実施の形態 6 による補間画素生成部による半画素データの生成を説明するための説明図である。

【図 2 3】

本発明の実施の形態 7 による動きベクトル検出装置の構成を示すブロック図である。

【図 2 4】

本発明の実施の形態 7 による少数精度動きベクトル検出部の構成を説明するブロック図である。

【図 2 5】

本発明の実施の形態 8 による動きベクトル検出装置の構成を示すブロック図である。

【図 2 6】

(a) 本発明の実施の形態 8 による探索可否条件保持部内に格納されている領域判定コードと探索可否条件の一例を示す図である。

(b) 図 2 6 (a) に示した探索可否条件を説明するための説明図である。

【図 2 7】

本発明の実施の形態 9 による動きベクトル検出装置の構成を示すブロック図である。

【図 2 8】

本発明の実施の形態 1 0 による動きベクトル検出装置の構成を示すブロック図である。

【図 2 9】

整数精度動きベクトル検出時の動きベクトル探索の一例を示す図である。

【図 3 0】

本発明の実施の形態 1 1 による動きベクトル検出装置の構成を示すブロック図である。

【図 3 1】

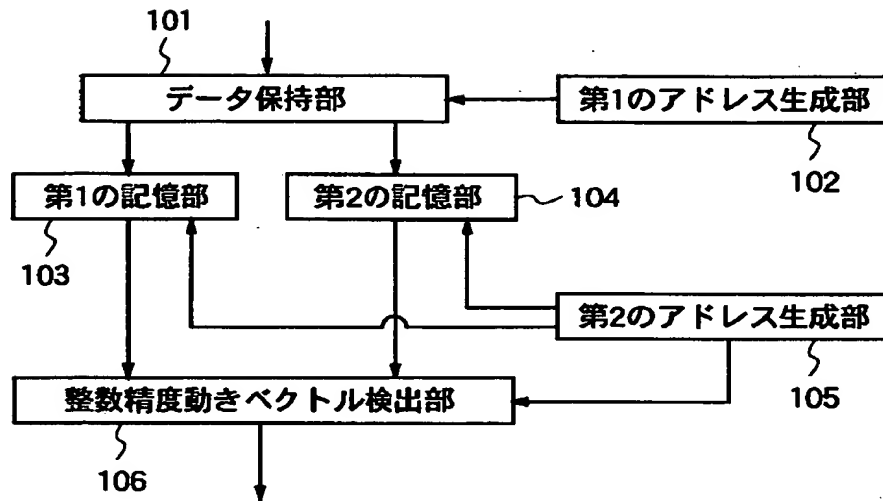
従来の一般的な動きベクトル検出処理を説明するための説明図である。

【符号の説明】

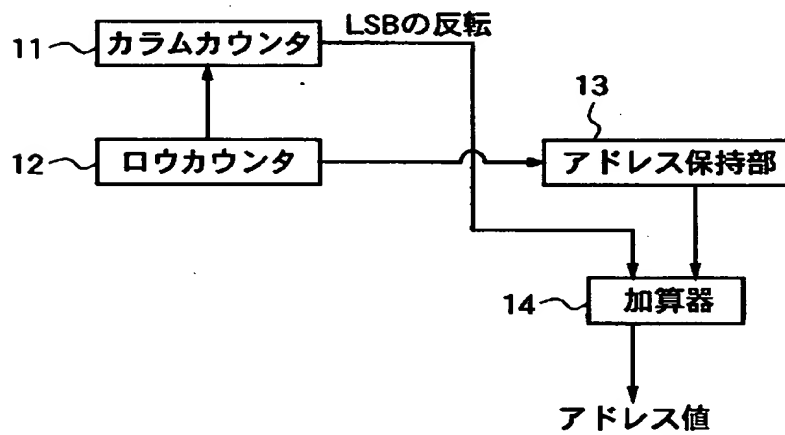
- 1 0 1 データ保持部
- 1 0 2 第 1 のアドレス生成部
- 1 0 3 第 1 の記憶部
- 1 0 4 第 2 の記憶部
- 1 0 5、9 0 5、1 0 0 5 第 2 のアドレス生成部
- 1 0 6、2 0 6 整数精度動きベクトル検出部
- 3 0 1 探索履歴保持部
- 4 0 1 転送ルール保持部
- 4 0 2 転送ルール検出部
- 5 0 1 記憶データ制御部
- 6 0 1 補間画素生成部
- 6 0 2、7 0 1 少数精度動きベクトル検出部
- 6 0 3 読み出し方向決定部
- 1 0 0 1 探索実行可否決定部
- 1 1 カラムカウンタ
- 1 2 ロウカウンタ
- 1 3 アドレス保持部
- 1 4 加算器
- 2 1 絶対差分誤差値計算部
- 2 2 減算器
- 2 3 カウンタ
- 2 4 絶対差分誤差和計算部
- 2 5、7 3 動きベクトル検出部
- 7 1 第 1 の絶対差分誤差和演算部
- 7 2 第 2 の絶対差分誤差和演算部
- 8 1 補間処理部
- 8 2 シフトレジスタ群

【書類名】 図面

【図 1】



【図 2】



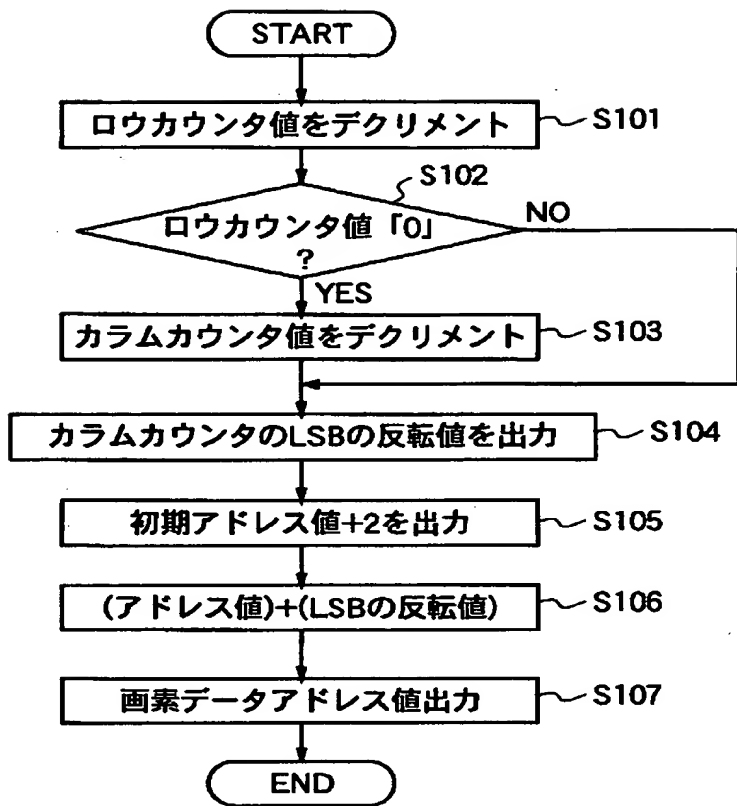
【図 3】

	7	6	5	4	3	2	1	0	←ロウ カウンタ 値							
15	①	1	②	3	④	5	⑥	7	⑧	9	⑩	11	⑫	13	⑭	15
14	16	⑬	18	⑯	20	⑰	22	⑳	24	㉔	26	㉖	㉘	㉚	30	㉛
13	㉜	32	㉝	35
12											
11																
10																
9																
8																
7																
6																
5																
4																
3																
2																
1																
0								㉜	254	㉝	

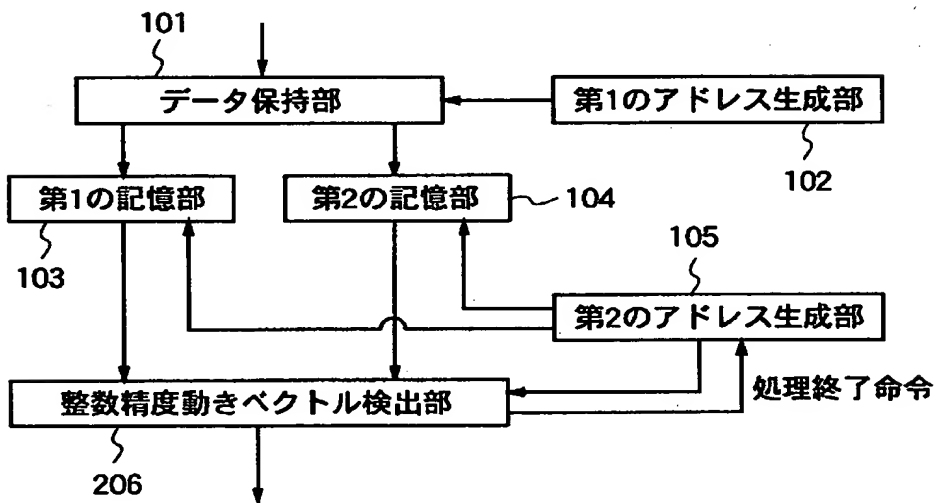
↑カラムカウンタ値

○→アドレス生成部103から出力されるアドレス値

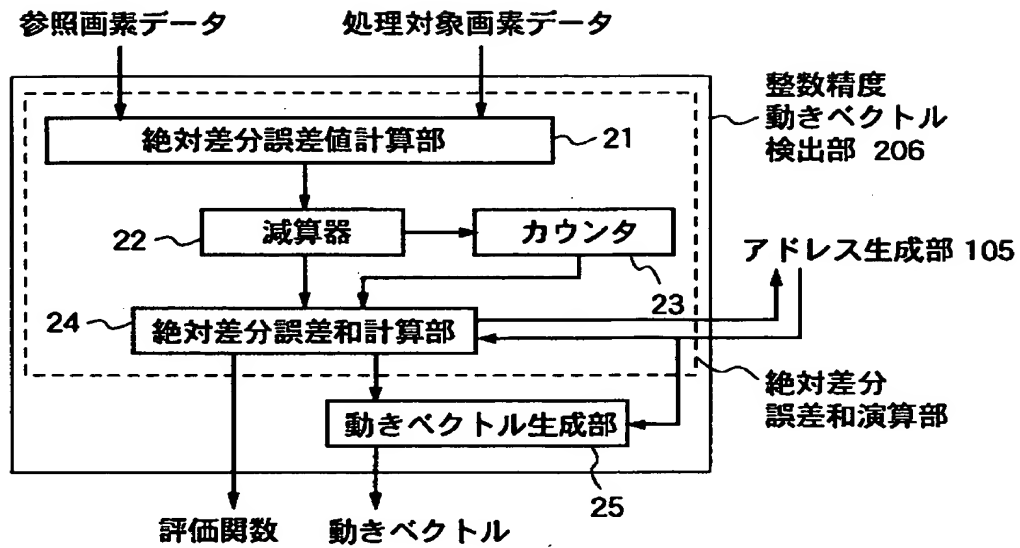
【図 4】



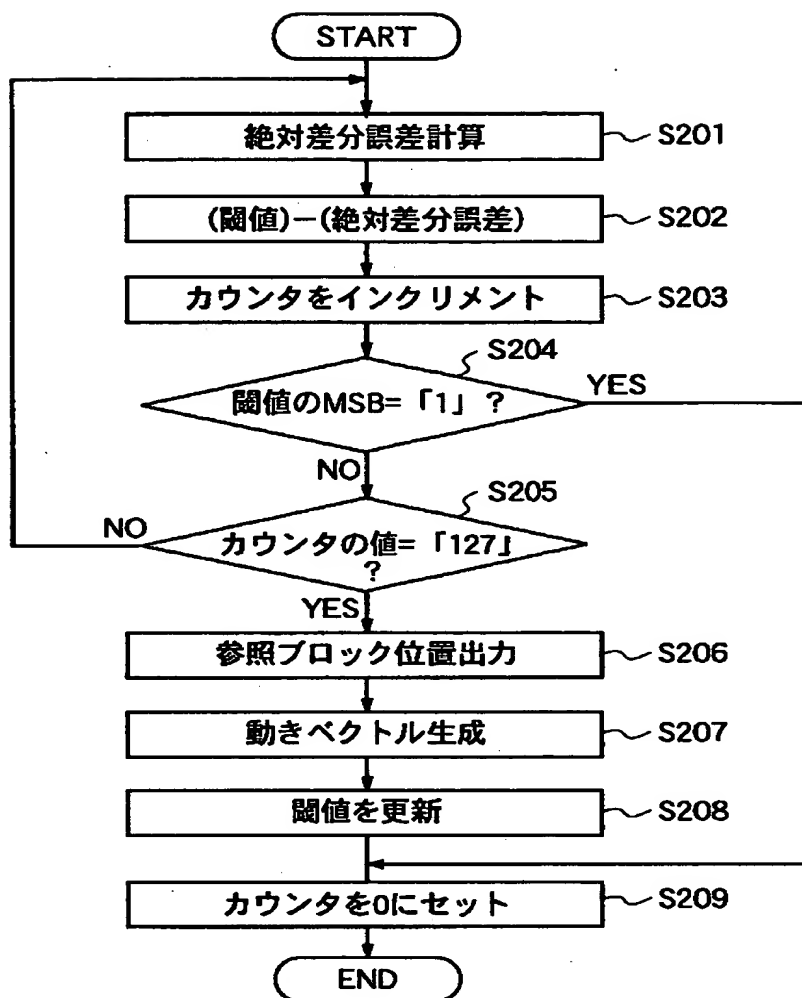
【図 5】



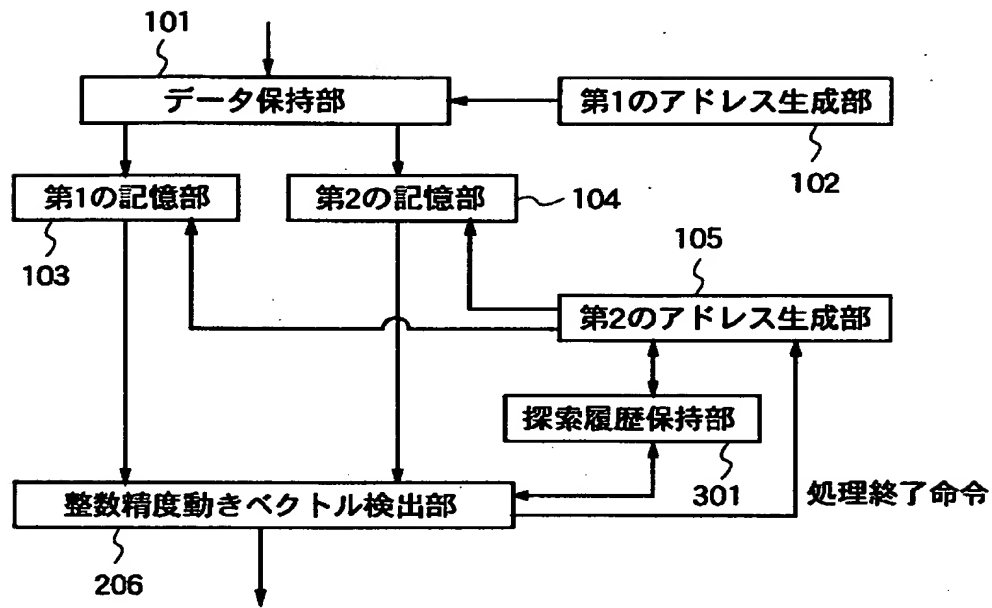
【図 6】



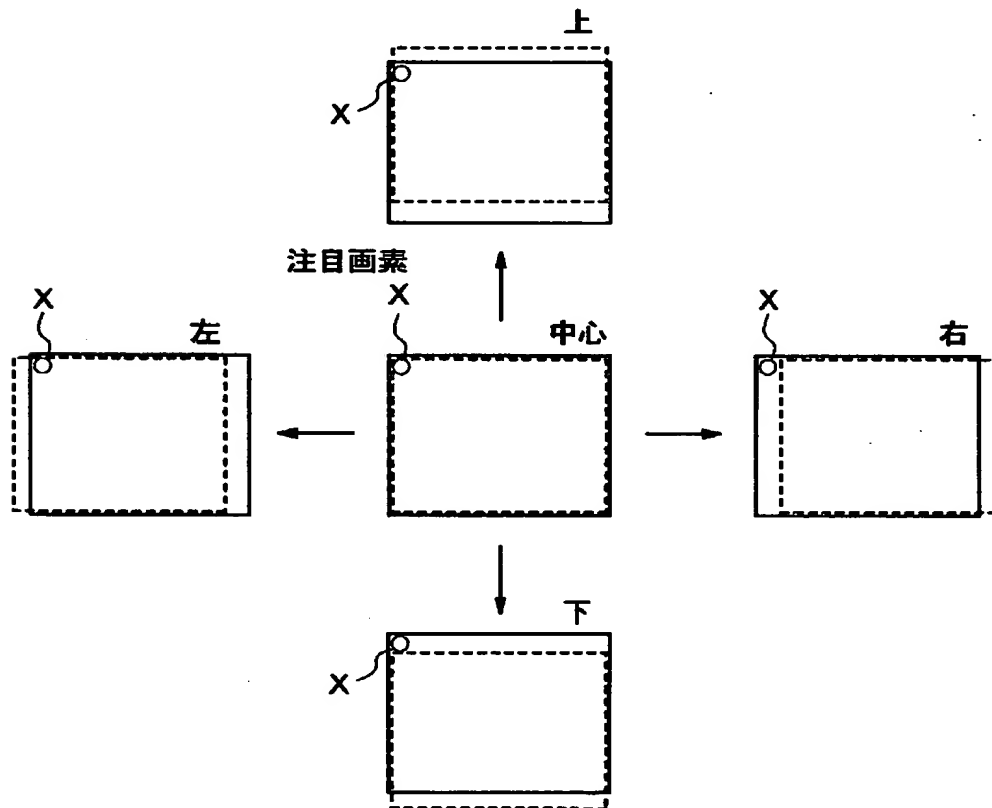
【図7】



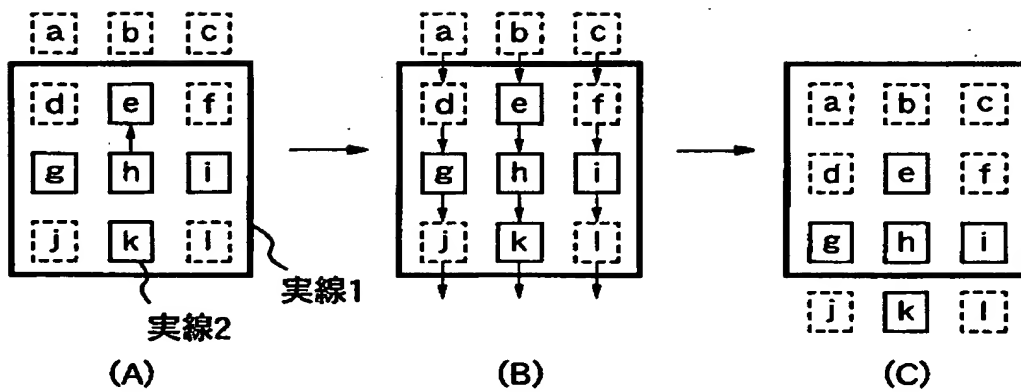
【図 8】



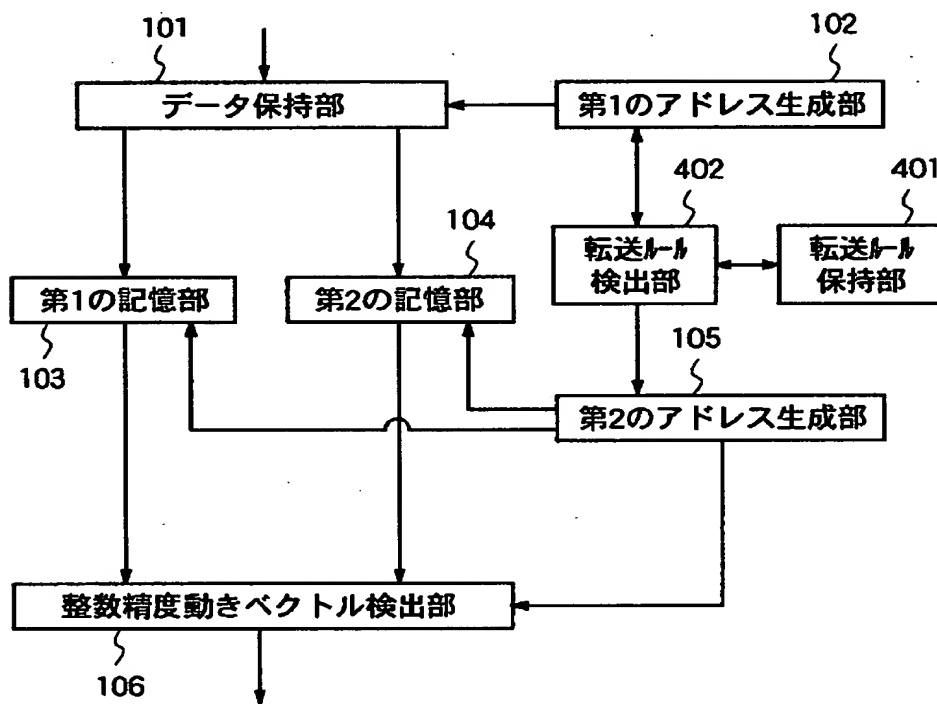
【図 9】



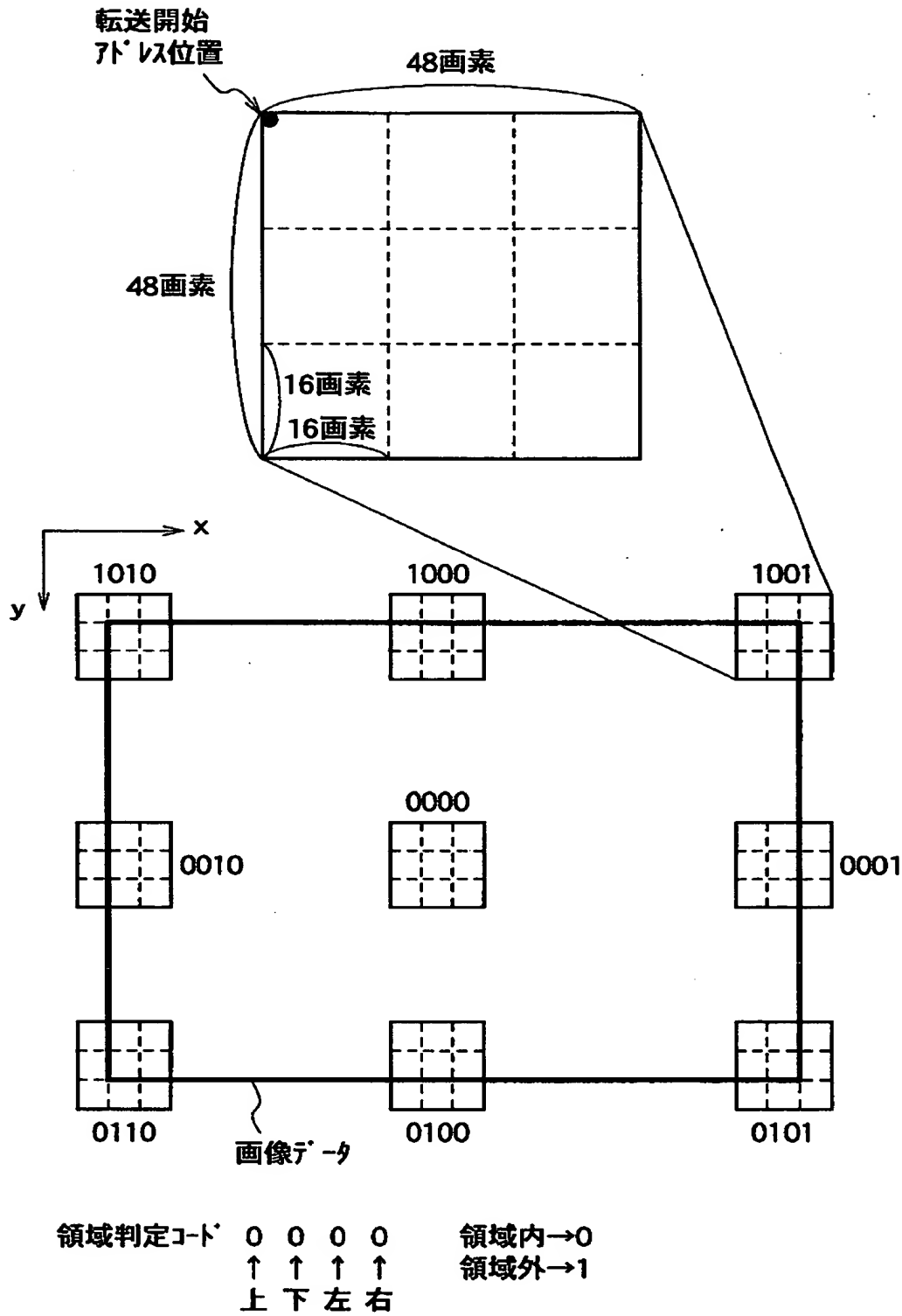
【図 1 0】



【図 1 1】



【図 1 2】



【図 1 3】

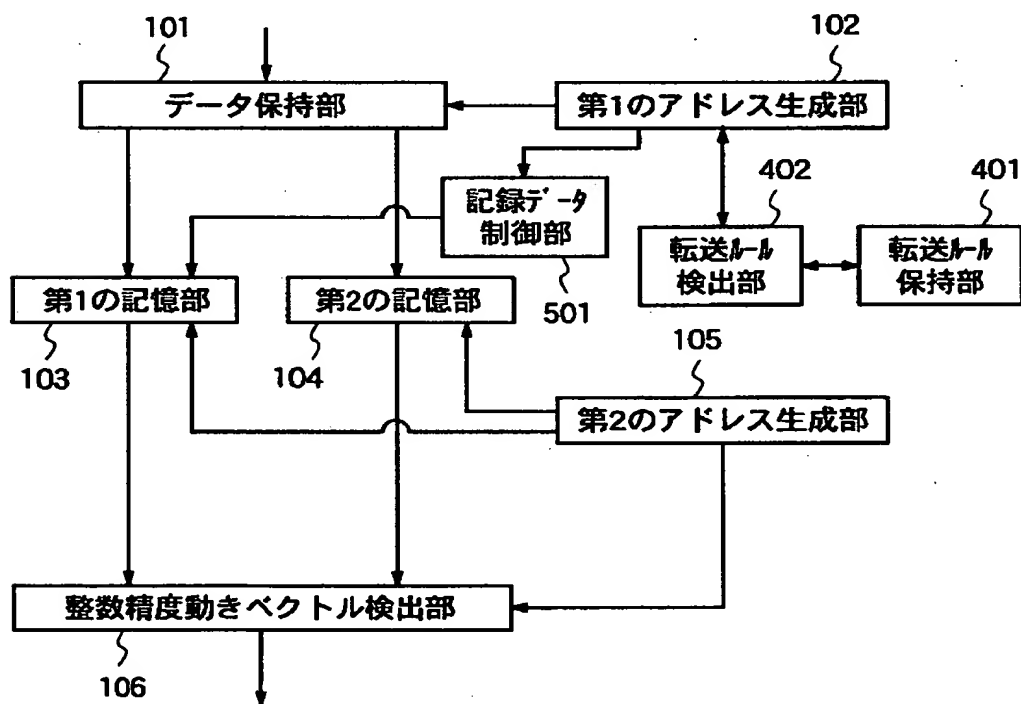
領域判定コード	転送ルール				
	転送開始アドレス	水平方向変化量	垂直方向変化量	矩形の水平方向の長さ	矩形の垂直方向の長さ
0000	0	1	1	48	48
0001	0	1	1	32	48
0010	16	1	1	32	48
0100	0	1	1	48	32
0101	0	1	1	32	32
0110	16	1	1	32	32
1000	768	1	1	48	32
1001	768	1	1	32	32
1010	784	1	1	32	32

領域判定コードと転送ルールの対応表

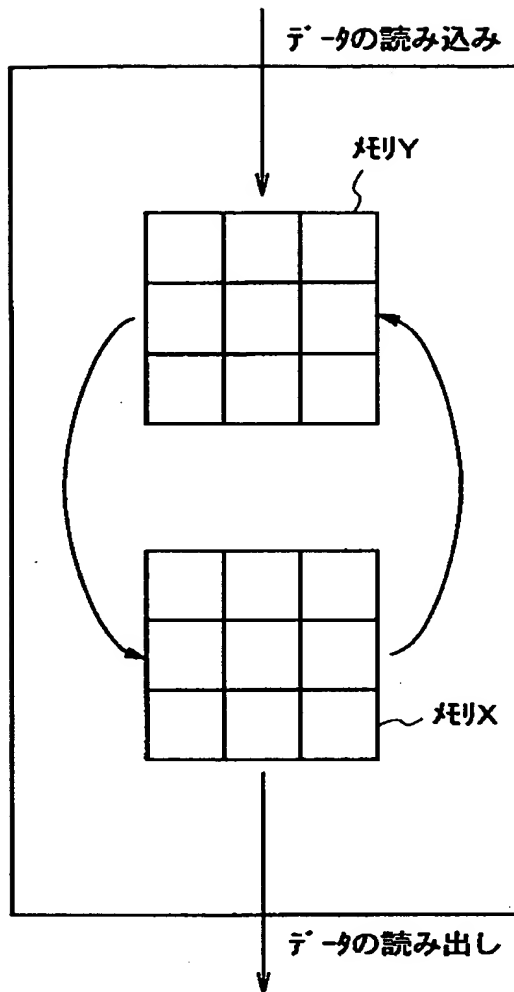
【図 1 4】

0 15 ⋮ 720 735	16 31 ⋮ 736 751	32 47 ⋮ 752 767
768 783 ⋮ 1488 1503	784 799 ⋮ 1504 1519	800 815 ⋮ 1520 1535
1536 1551 ⋮ 2256 2271	1552 1567 ⋮ 2272 2287	1568 1583 ⋮ 2288 2303

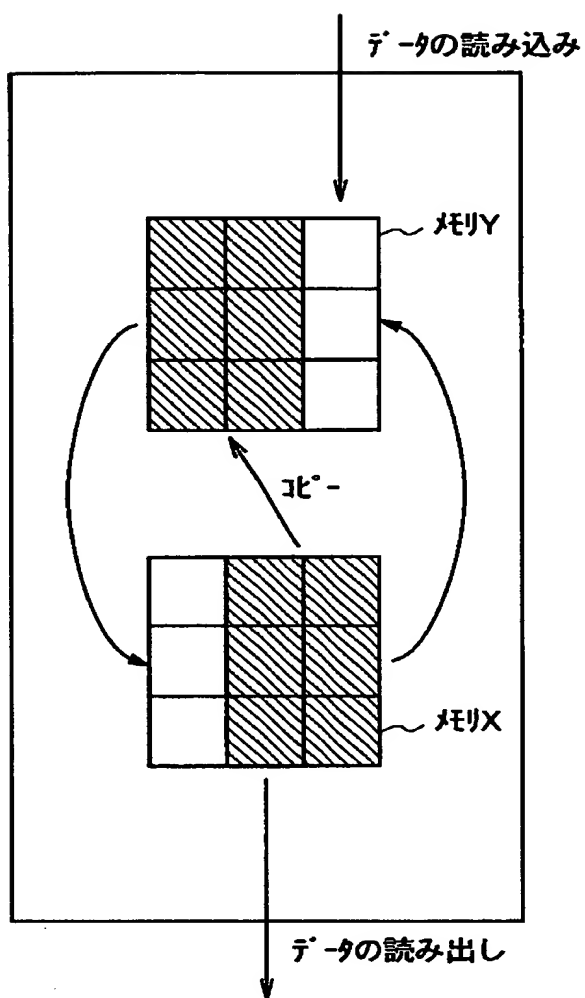
【図 1 5】



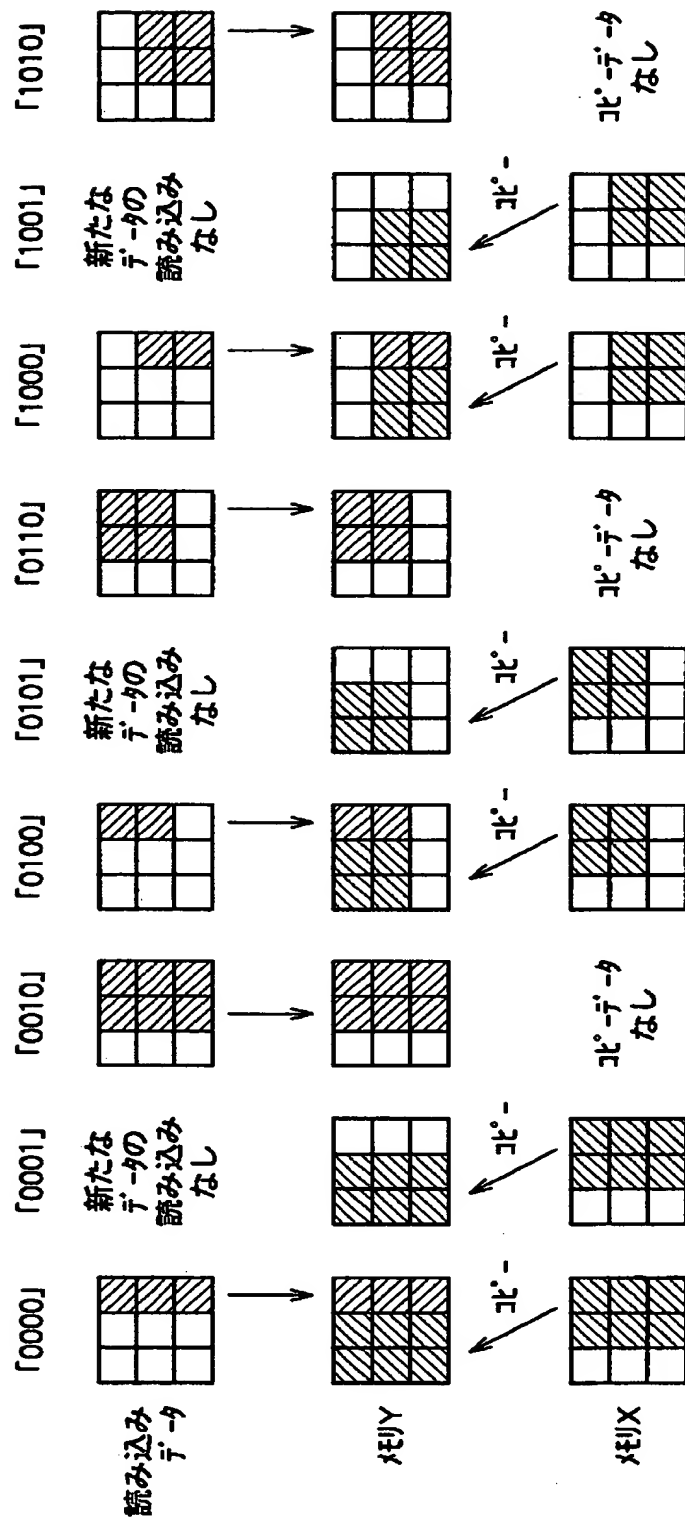
【図 1 6】



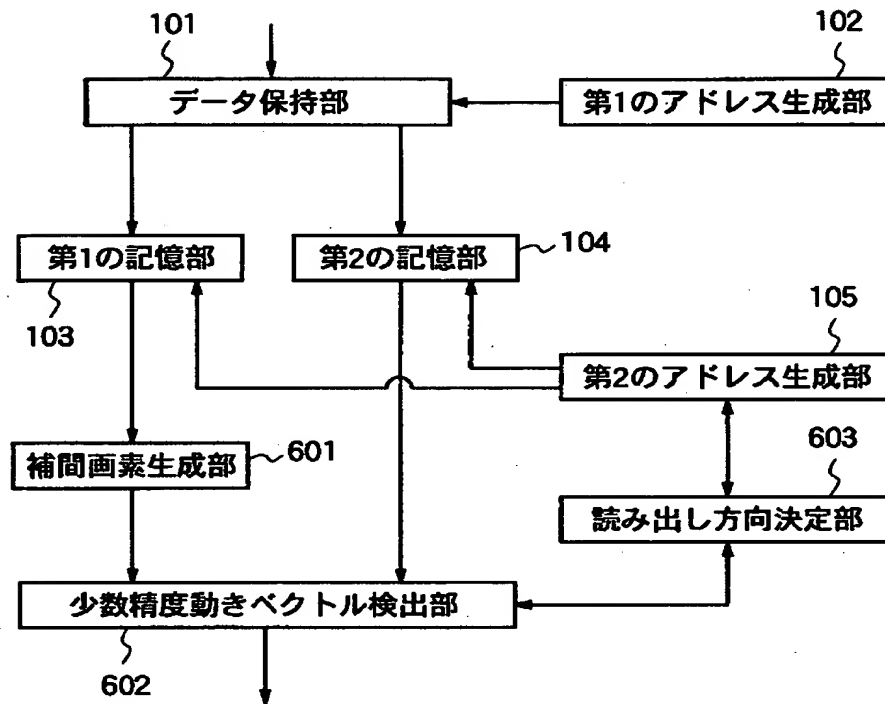
【図 1 7】



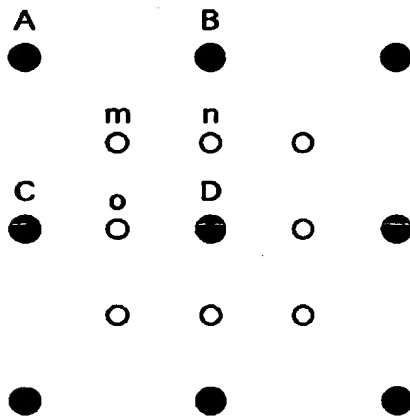
【図 18】



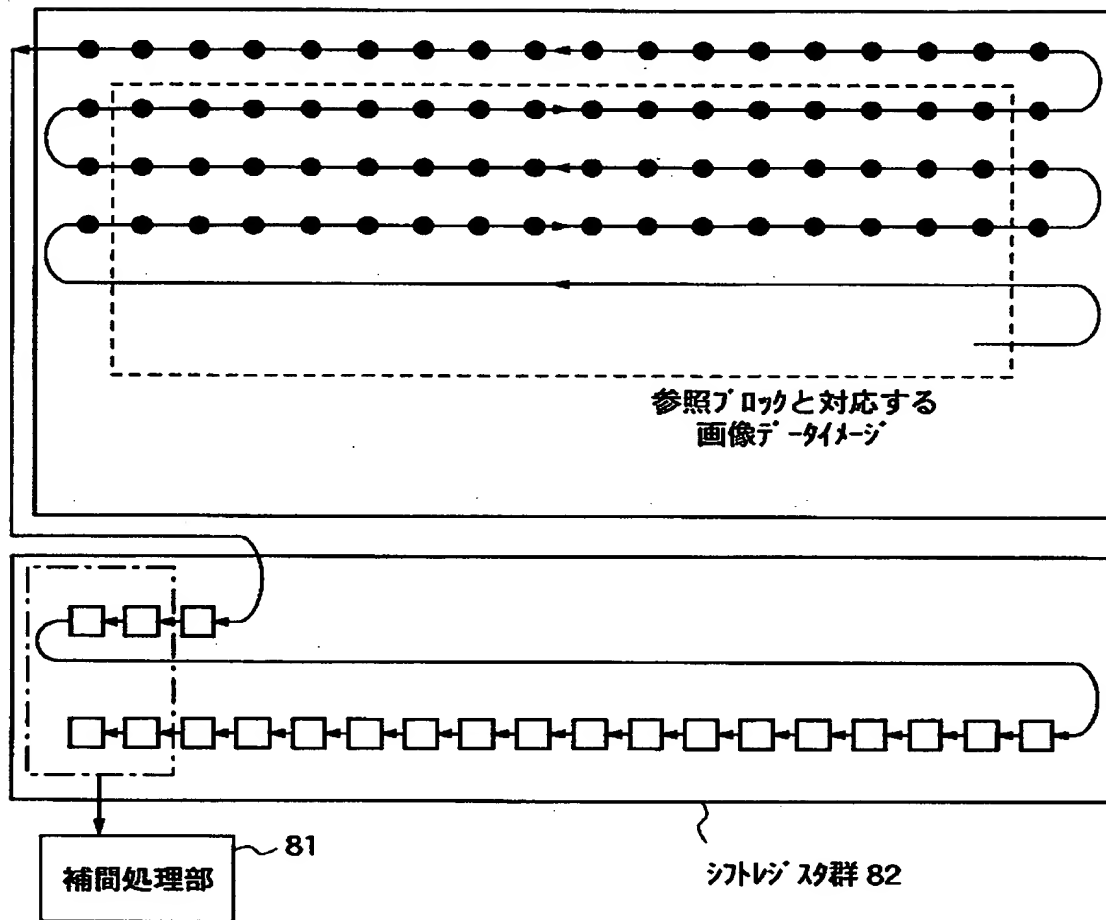
【図19】



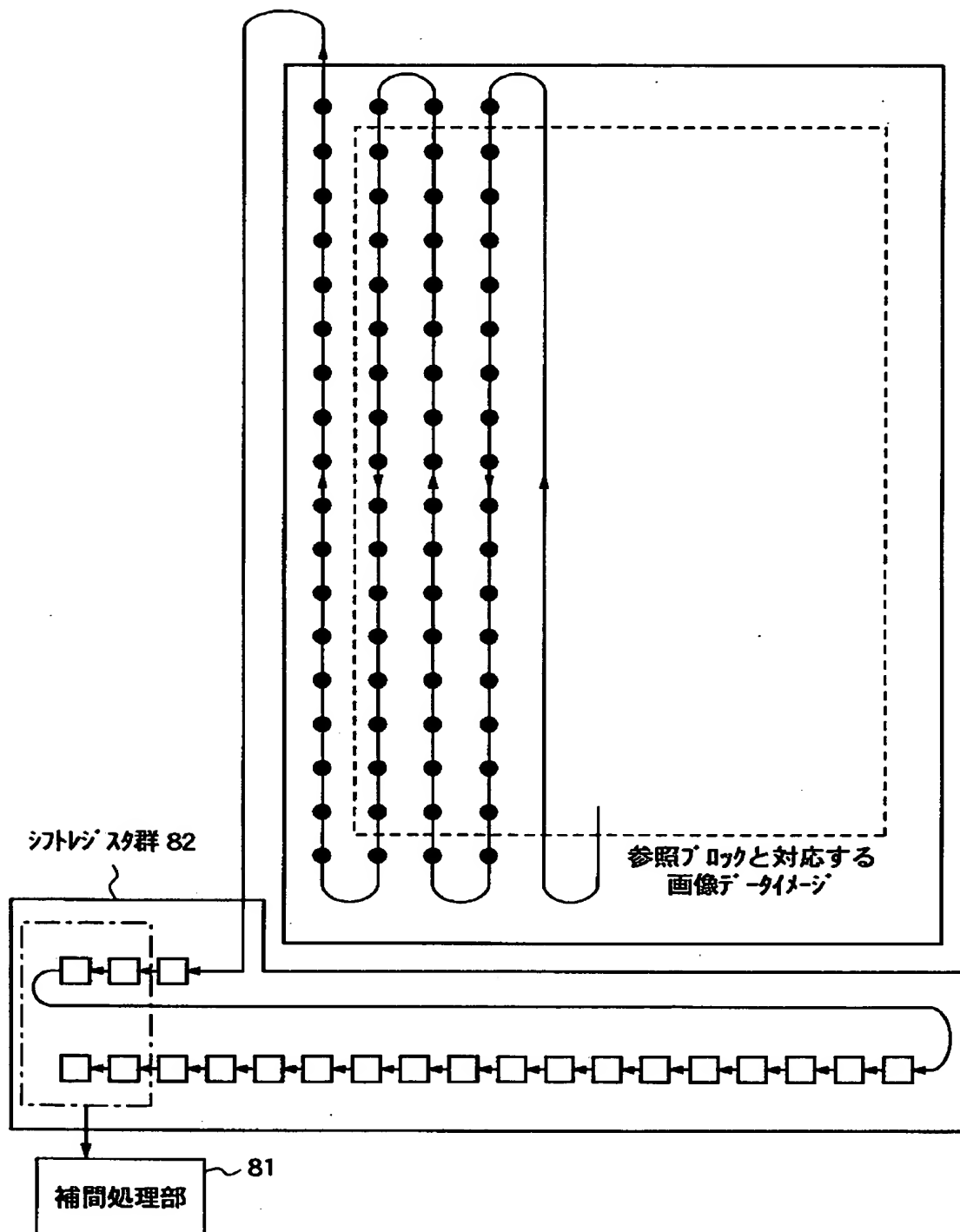
【図20】



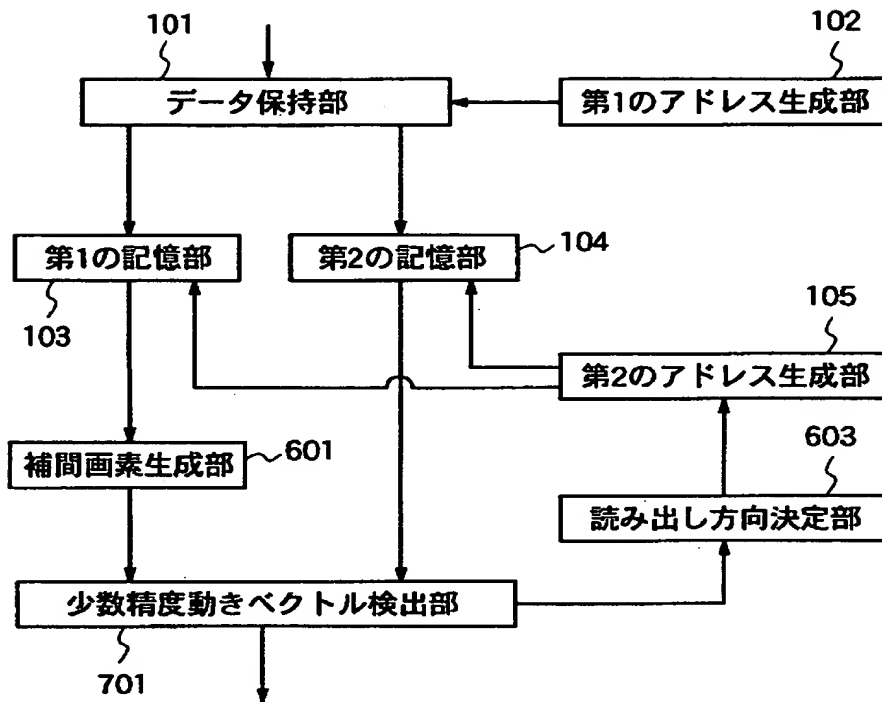
【図 21】



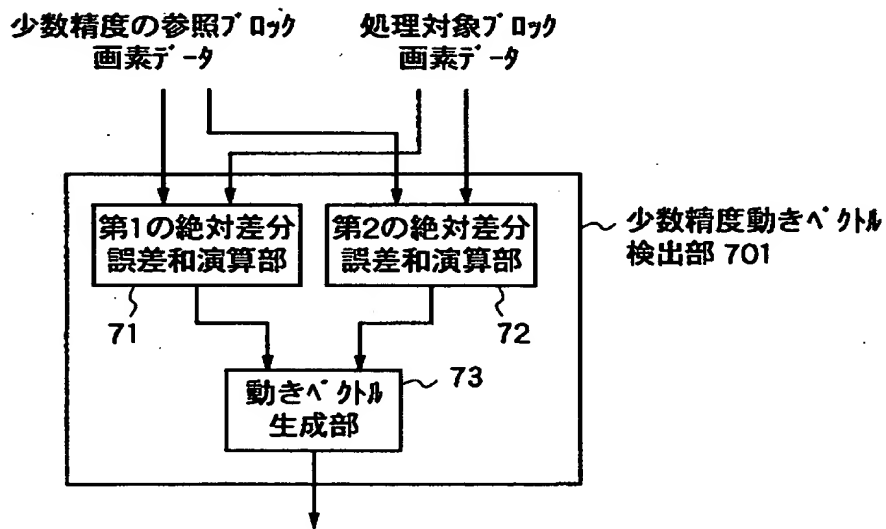
【図 2 2】



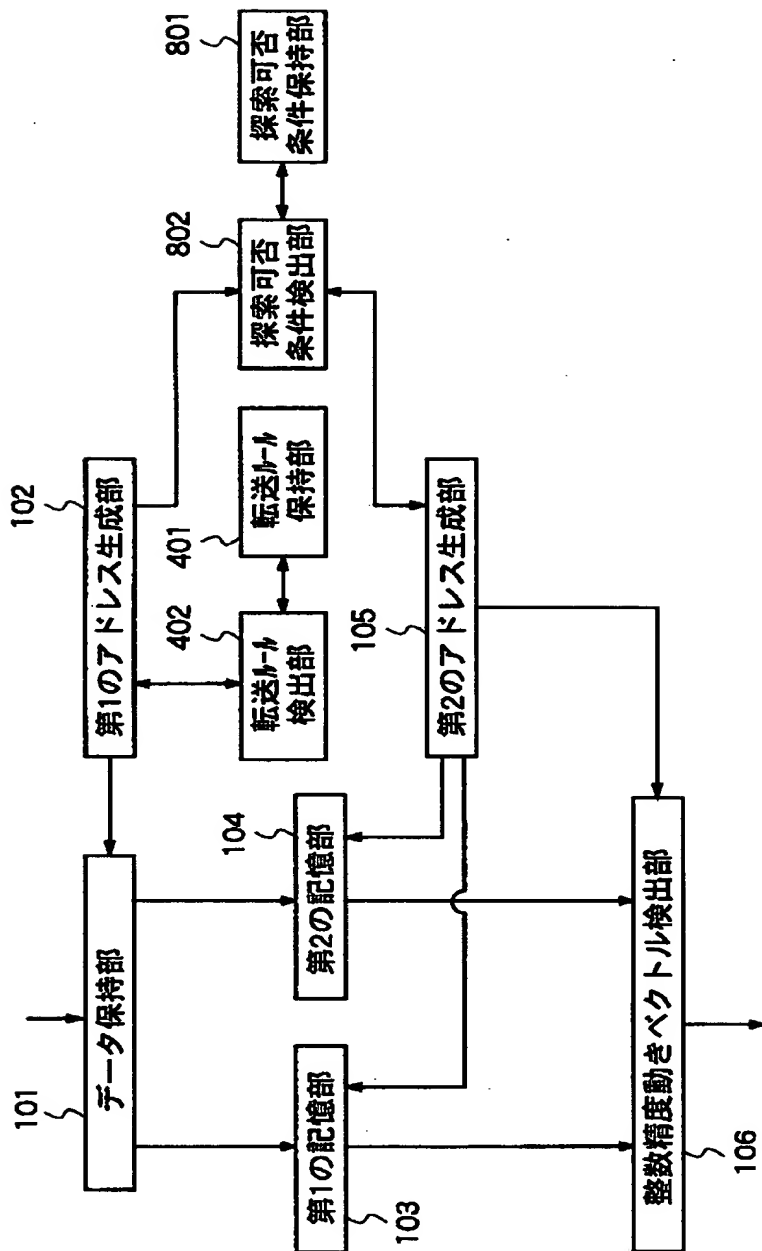
【図 2 3】



【図 2 4】



【図 25】

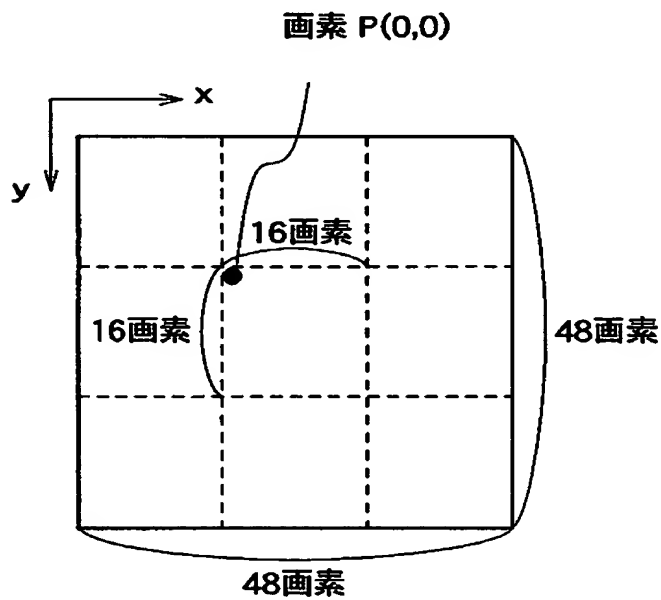


【図 2 6】

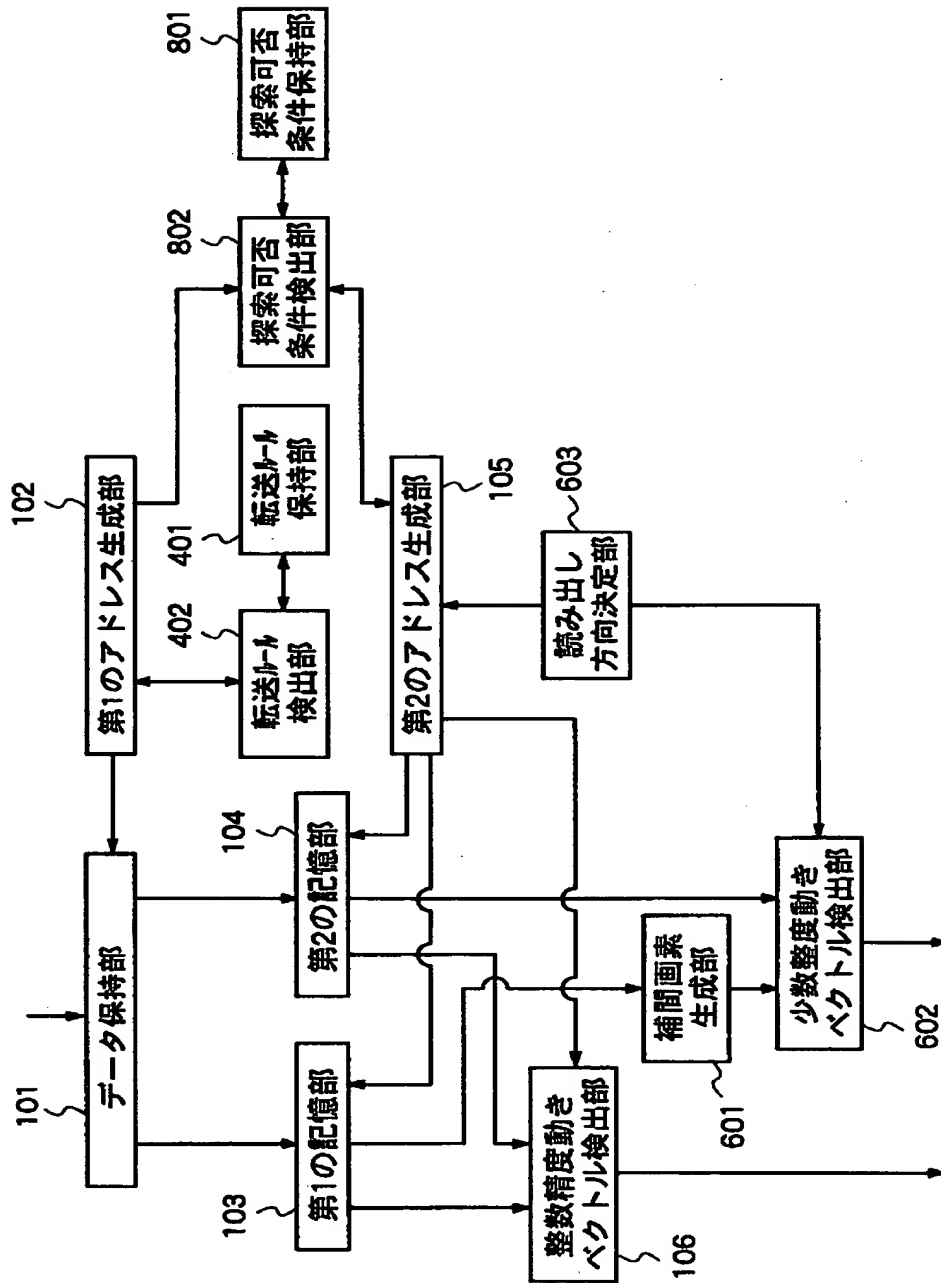
(a) 領域判定コードと探索可否条件の対応表

領域判定コード	探索可否条件
0000	$-16 \leq x \leq 15, -16 \leq y \leq 15$
0001	$-16 \leq x \leq 0, -16 \leq y \leq 15$
0010	$0 \leq x \leq 15, -16 \leq y \leq 15$
0100	$-16 \leq x \leq 15, -16 \leq y \leq 0$
0101	$-16 \leq x \leq 0, -16 \leq y \leq 0$
0110	$0 \leq x \leq 15, -16 \leq y \leq 0$
1000	$-16 \leq x \leq 15, 0 \leq y \leq 15$
1001	$-16 \leq x \leq 0, 0 \leq y \leq 15$
1010	$0 \leq x \leq 15, 0 \leq y \leq 15$

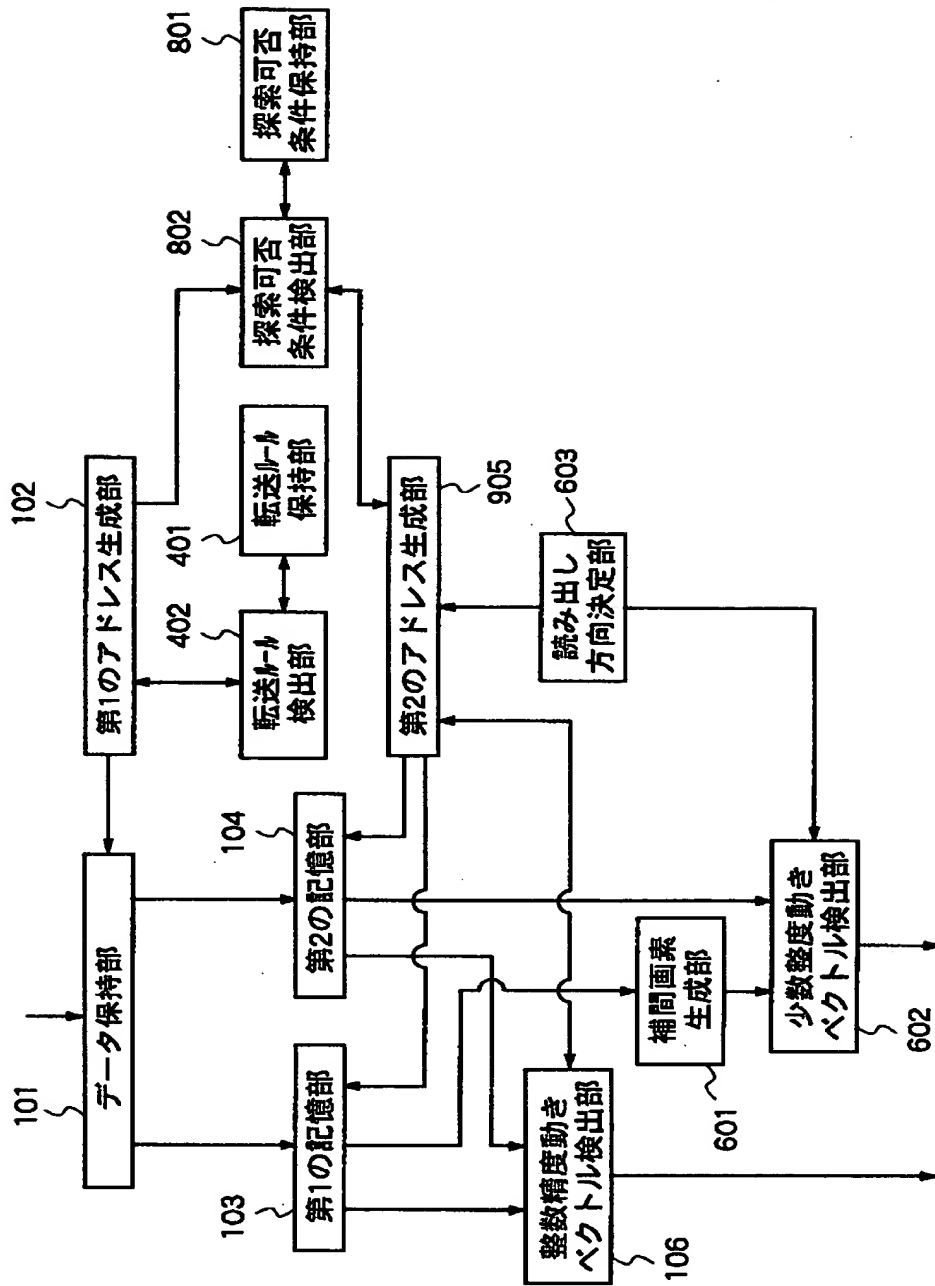
(b)



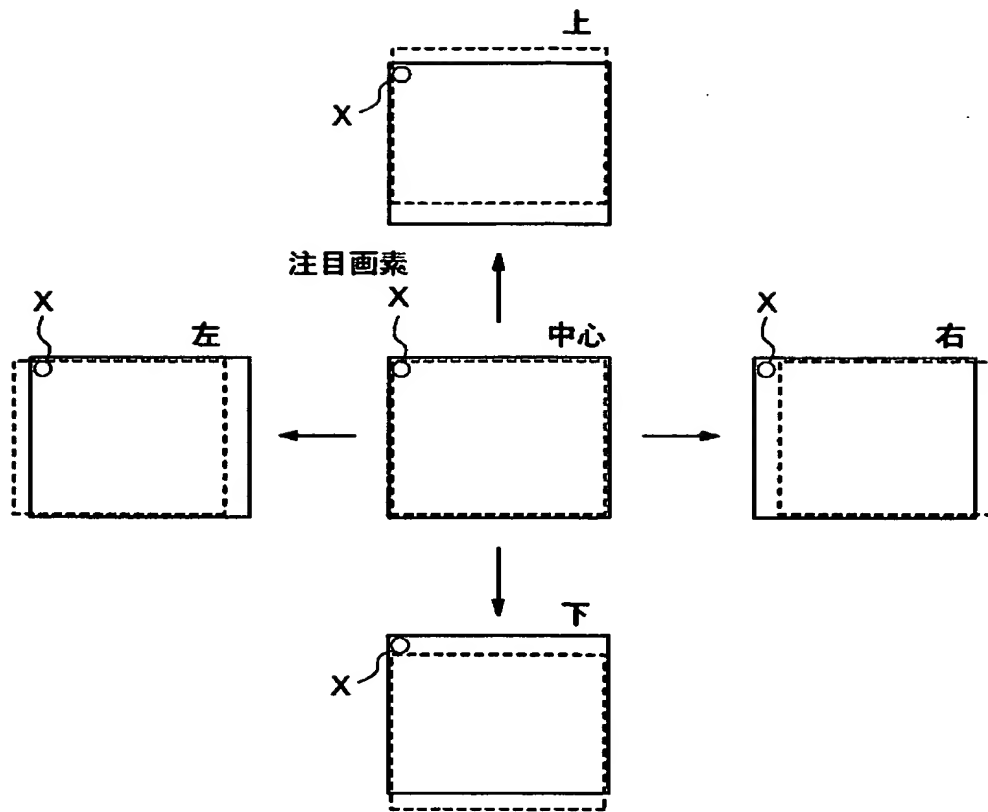
【図 27】



【図 28】

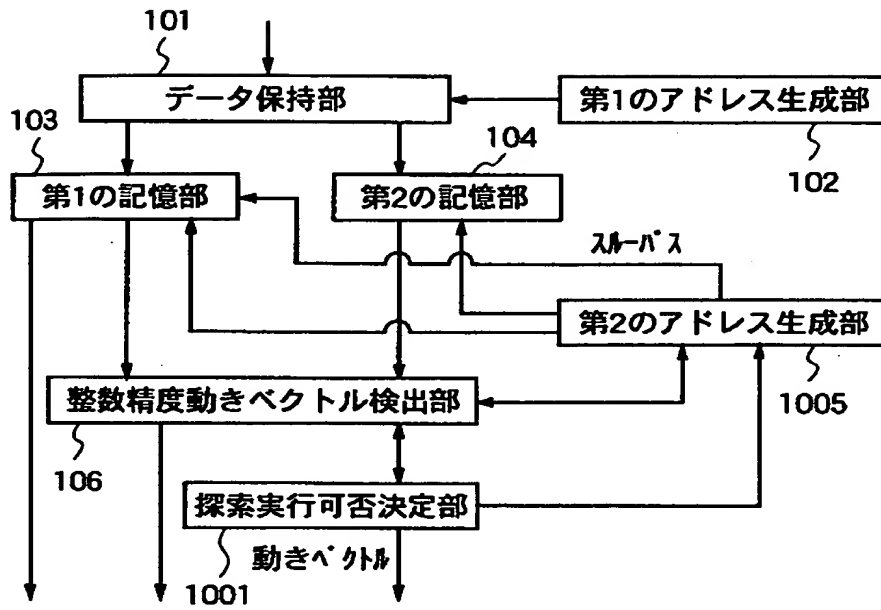


【図 29】

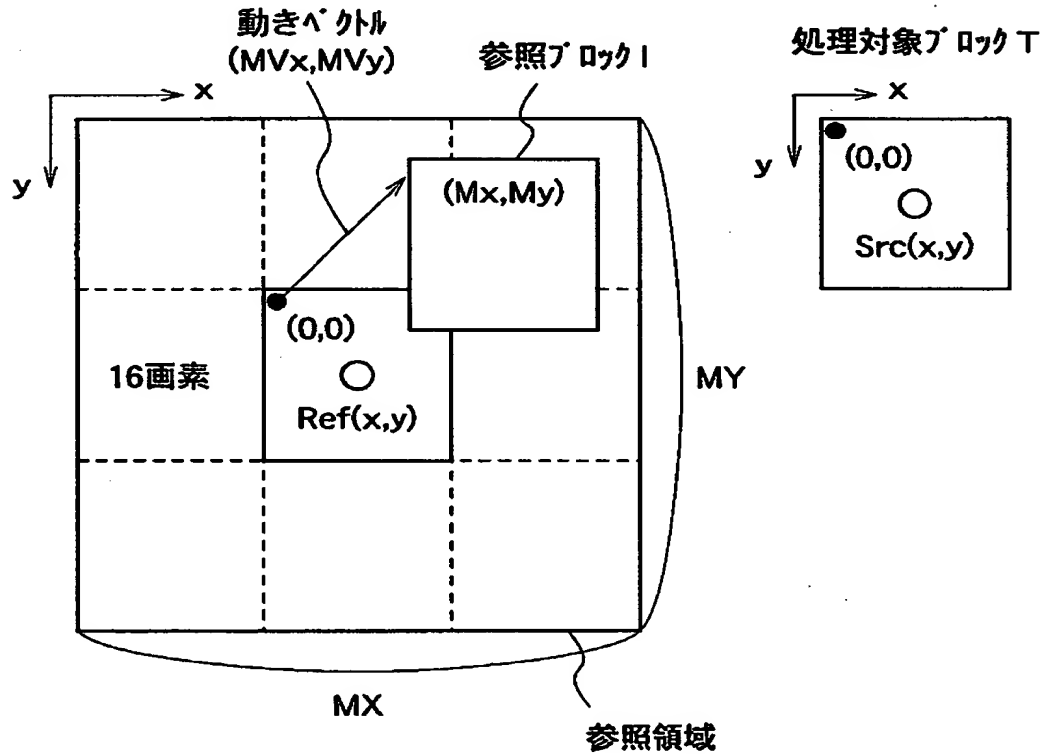


探索可否データ	0	0	0	0	探索可→0
	↑	↑	↑	↑	探索不可→1
	上	下	左	右	

【図 30】



【図 31】



$$\text{絶対差分誤差和} = \sum | \text{Ref}(Mx+x, My+y) - \text{Src}(x,y) |$$

【書類名】 要約書

【要約】

【課題】 動きベクトル検出処理の高速化、低電力化を図ることができる動きベクトル検出装置を提供する。

【解決手段】 動きベクトル検出装置内でのデータ転送を制御すると共に、動きベクトル検出時の処理工程の削減、及び処理を行うデータ量の軽減を行うことにより、動きベクトル検出処理の高速化、低電力化を図る。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社